

Docket No.: 60188-700

**PATENT**

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Application of	:	Customer Number: 20277
	:	
Toyoji ITO, et al.	:	Confirmation Number:
	:	
Serial No.:	:	Group Art Unit:
	:	
Filed: November 13, 2003	:	Examiner:
	:	
For: SEMICONDUCTOR DEVICE AND METHOD FOR FABRICATING THE SAME	:	

**CLAIM OF PRIORITY AND  
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claim the priority of:

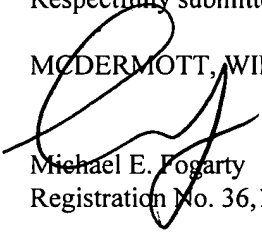
**Japanese Patent Application No. JP 2002-329425, filed November 13, 2002.**

**Japanese Patent Application No. JP 2003-337280, filed September 29, 2003.**

cited in the Declaration of the present application. A certified copy of **Japanese Patent Application No. JP 2002-329425** is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY

  
Michael E. Fogarty  
Registration No. 36,139

600 13<sup>th</sup> Street, N.W.  
Washington, DC 20005-3096  
(202) 756-8000 MEF:gav  
Facsimile: (202) 756-8087  
**Date: November 13, 2003**

60188-700  
Tayoji ITO, et al.  
November 13, 2003

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

*McDermott, Will & Emery*

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日  
Date of Application:

2002年11月13日

出 願 番 号  
Application Number:

特願2002-329425

[ST.10/C]:

[JP2002-329425]

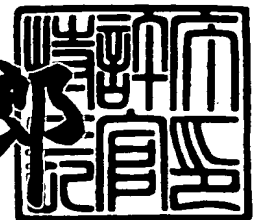
出 願 人  
Applicant(s):

松下電器産業株式会社

2003年 6月17日

特許庁長官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号 出証特2003-3047158

【書類名】 特許願

【整理番号】 2926430240

【提出日】 平成14年11月13日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/10

【発明者】

    【住所又は居所】 大阪府門真市大字門真1 0 0 6 番地 松下電器産業株式  
会社内

    【氏名】 伊東 豊二

【発明者】

    【住所又は居所】 大阪府門真市大字門真1 0 0 6 番地 松下電器産業株式  
会社内

    【氏名】 藤井 英治

【発明者】

    【住所又は居所】 大阪府門真市大字門真1 0 0 6 番地 松下電器産業株式  
会社内

    【氏名】 梅田 和男

【特許出願人】

    【識別番号】 000005821

    【氏名又は名称】 松下電器産業株式会社

【代理人】

    【識別番号】 100077931

    【弁理士】

    【氏名又は名称】 前田 弘

【選任した代理人】

    【識別番号】 100094134

    【弁理士】

    【氏名又は名称】 小山 廣毅

【選任した代理人】

【識別番号】 100110939

【弁理士】

【氏名又は名称】 竹内 宏

【選任した代理人】

【識別番号】 100110940

【弁理士】

【氏名又は名称】 嶋田 高久

【選任した代理人】

【識別番号】 100113262

【弁理士】

【氏名又は名称】 竹内 祐二

【選任した代理人】

【識別番号】 100115059

【弁理士】

【氏名又は名称】 今江 克実

【選任した代理人】

【識別番号】 100115510

【弁理士】

【氏名又は名称】 手島 勝

【選任した代理人】

【識別番号】 100115691

【弁理士】

【氏名又は名称】 藤田 篤史

【手数料の表示】

【予納台帳番号】 014409

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0006010

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】 半導体基板に形成された複数のセル選択トランジスタと、  
前記半導体基板上に前記複数のセル選択トランジスタとそれぞれ電氣的に接続されるように形成され、それぞれが強誘電体又は高誘電体からなる容量絶縁膜を有する複数のキャパシタを含むキャパシタ列と、

前記半導体基板上に前記複数のセル選択トランジスタとそれぞれ電氣的に接続され、前記キャパシタ列よりも下方に形成された複数のビット線とを備え、

前記キャパシタ列は上下を含めその周囲が水素バリア膜により覆われていることを特徴とする半導体装置。

【請求項 2】 前記水素バリア膜の上方に形成された配線をさらに備え、  
前記各ビット線は、前記水素バリア膜の外側で前記配線と電氣的に接続されていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】 前記水素バリア膜は、  
前記各セル選択トランジスタ及び各キャパシタの間に形成された導電性下部水素バリア膜と、  
前記複数のビット線及びキャパシタ列の間に形成された絶縁性下部水素バリア膜と、

前記キャパシタ列の上側に形成された上部水素バリア膜とから構成されていることを特徴とする請求項 1 又は 2 に記載の半導体装置。

【請求項 4】 前記各セル選択トランジスタと前記各キャパシタとは、前記絶縁性下部水素バリア膜を貫通するプラグによって電氣的に接続され、

前記導電性下部水素バリア膜は、前記絶縁性下部水素バリア膜上で且つ前記プラグの上面を覆うように形成されていることを特徴とする請求項 3 に記載の半導体装置。

【請求項 5】 前記各キャパシタは、前記導電性下部水素バリア膜の上に形成された下部電極と、前記下部電極の上に形成された前記容量絶縁膜と、前記容量絶縁膜の上に形成された上部電極とから構成されており、

前記キャパシタ列は、前記キャパシタと同一の構成を持つダミーキャパシタを含み、

前記上部電極は、前記ダミーキャパシタにおける前記上部電極と前記下部電極とが電氣的に接続されることにより、前記導電性下部水素バリア膜及びプラグを介して前記半導体基板と導通状態にあることを特徴とする請求項 4 に記載の半導体装置。

【請求項 6】 前記導電性下部水素バリア膜における端面は、前記絶縁性下部水素バリア膜と接していることを特徴とする請求項 3 に記載の半導体装置。

【請求項 7】 前記各セル選択トランジスタと前記各キャパシタとは、前記絶縁性下部水素バリア膜を貫通するプラグによって電氣的に接続され、

前記導電性下部水素バリア膜は、前記プラグの側面に形成されることにより、前記絶縁性下部水素バリア膜と接していることを特徴とする請求項 3 に記載の半導体装置。

【請求項 8】 下部水素バリア膜と、

前記下部水素バリア膜の上に形成され、それぞれが強誘電体又は高誘電体からなる容量絶縁膜を有する複数のキャパシタを含むキャパシタ列と、

前記キャパシタ列の上方を覆うように形成され、前記下部水素バリア膜における前記キャパシタ列の外側の領域が露出した溝部を有する層間絶縁膜と、

前記層間絶縁膜の上に前記溝部の壁面及び底面を含むように全面に形成され、前記下部水素バリア膜と前記溝部の底面で接する上部水素バリア膜とを備えていることを特徴とする半導体装置。

【請求項 9】 下部水素バリア膜と、

前記下部水素バリア膜の上に形成され、それぞれが強誘電体又は高誘電体からなる容量絶縁膜を有する複数のキャパシタを含むキャパシタ列と、

前記キャパシタ列の側方を覆うと共に、前記下部水素バリア膜における前記キャパシタ列の外側部分と接するように形成された側壁水素バリア膜と、

前記キャパシタ列の上方を覆うと共に、前記側壁水素バリア膜と接するように形成された上部水素バリア膜とを備えていることを特徴とする半導体装置。

【請求項 10】 半導体基板に複数のセル選択トランジスタを形成する工程

と、

前記半導体基板上に前記セル選択トランジスタと電氣的に接続されるビット線を形成する工程と、

前記ビット線の上方に絶縁性下部水素バリア膜を形成する工程と、

前記絶縁性下部水素バリア膜を貫通して前記各選択トランジスタに達する複数の第 1 のプラグを形成する工程と、

前記絶縁性下部水素バリア膜の上に、前記各第 1 のプラグの上面を覆うように複数の導電性下部水素バリア膜を選択的に形成する工程と、

前記各導電性下部水素バリア膜の上に、それぞれが強誘電体又は高誘電体からなる容量絶縁膜を有する複数のキャパシタを含むキャパシタ列を形成する工程と、

前記キャパシタ列の上方に上部水素バリア膜を形成する工程とを備えていることを特徴とする半導体装置の製造方法。

【請求項 1 1】 半導体基板に複数のセル選択トランジスタを形成する工程と、

前記半導体基板上に前記セル選択トランジスタと電氣的に接続されるビット線を形成する工程と、

前記各選択トランジスタに達する複数の第 1 のプラグを形成する工程と、

前記各第 1 のプラグの上に、その上面を覆うように複数の導電性下部水素バリア膜を選択的に形成する工程と、

前記各導電性下部水素バリア層の側方の領域を覆うと共に、前記導電性下部水素バリア層の各端面を覆うように絶縁性下部水素バリア層を形成する工程と、

前記各導電性下部水素バリア膜の上に、それぞれが強誘電体又は高誘電体からなる容量絶縁膜を有する複数のキャパシタを含むキャパシタ列を形成する工程と、

前記キャパシタ列の上方に上部水素バリア膜を形成する工程とを備えていることを特徴とする半導体装置の製造方法。

【請求項 1 2】 半導体基板に複数のセル選択トランジスタを形成する工程と、



前記半導体基板上に前記セル選択トランジスタと電氣的に接続されるビット線を形成する工程と、

前記ビット線の上方に絶縁性下部水素バリア膜を形成する工程と、

前記絶縁性下部水素バリア膜を貫通して前記各選択トランジスタに達する複数のコンタクトホールを形成する工程と、

前記各コンタクトホールの壁面及び底面上に、その上端部が前記絶縁性下部水素バリア膜と接する導電性下部水素バリア膜を形成し、少なくとも前記導電性下部水素バリア膜を含む第1のプラグを形成する工程と、

前記各導電性下部水素バリア膜の上に、それぞれが強誘電体又は高誘電体からなる容量絶縁膜を有する複数のキャパシタを含むキャパシタ列を形成する工程と、

前記キャパシタ列の上方に上部水素バリア膜を形成する工程とを備えていることを特徴とする半導体装置の製造方法。

【請求項13】 前記上部水素バリア膜を形成する工程よりも後に、

前記半導体基板の上に前記上部水素バリア膜を含む全面にわたって層間絶縁膜を形成する工程と、

前記層間絶縁膜における前記上部水素バリア膜が形成された領域の外側部分に前記ビット線と接続される第2のプラグを形成する工程と、

前記層間絶縁膜の上に、前記第2のプラグと接する配線を形成する工程とをさらに備えていることを特徴とする請求項10～12のうちのいずれか1項に記載の半導体装置の製造方法。

【請求項14】 前記上部水素バリア膜を形成する工程は、

前記上部水素バリア膜を、前記絶縁性下部水素バリア膜における前記キャパシタ列の外側の領域で接触するように形成する工程を含むことを特徴とする請求項10～12のうちのいずれか1項に記載の半導体装置の製造方法。

【請求項15】 半導体基板上に下部水素バリア膜を形成する工程と、

前記下部水素バリア膜の上に、それぞれが強誘電体又は高誘電体からなる容量絶縁膜を有する複数のキャパシタを含むキャパシタ列を形成する工程と、

前記キャパシタ列の上方を覆う層間絶縁膜を形成する工程と、

前記層間絶縁膜に、前記下部水素バリア膜における前記キャパシタ列の外側の領域を露出する溝部を形成する工程と、

前記層間絶縁膜の上に前記下部水素バリア膜と前記溝部の底面で接するように上部水素バリア膜を形成する工程とを備えていることを特徴とする半導体装置の製造方法。

【請求項 16】 半導体基板上に下部水素バリア膜を形成する工程と、

前記下部水素バリア膜の上に、それぞれが強誘電体又は高誘電体からなる容量絶縁膜を有する複数のキャパシタを含むキャパシタ列を形成する工程と、

前記キャパシタ列の側方を覆うと共に、前記下部水素バリア膜における前記キャパシタ列の外側部分と接するように側壁水素バリア膜を形成する工程と、

前記キャパシタ列の上方を覆うと共に、前記側壁水素バリア膜と接するように上部水素バリア膜を形成する工程とを備えていることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、強誘電体又は高誘電体を容量絶縁膜に用いた半導体装置及びその製造方法に関する。

【0002】

【従来の技術】

容量絶縁膜に強誘電体又は高誘電体を用いた半導体装置は、ヒステリシス特性による残留分極及び高い比誘電率を有しているため、不揮発性メモリ装置や DRAM 装置の分野において、酸化シリコン又は窒化シリコンからなる容量絶縁膜を有する半導体装置と置き換わる可能性がある。

【0003】

以下、従来の強誘電体又は高誘電体を用いた容量絶縁膜を有する半導体装置の製造方法（例えば、特許文献 1）について図面を参照しながら説明する。

【0004】

まず、図 21（a）に示すように、シリコンからなる半導体基板 200 の上部

に素子分離領域 2 0 1 を選択的に形成し、その後、半導体基板 2 0 0 上にゲート酸化膜 2 0 2 及びゲート電極 2 0 3 を形成する。続いて、形成したゲート電極 2 0 2 をマスクとして、拡散層 2 0 4 を形成して MOS トランジスタを形成する。

#### 【 0 0 0 5 】

次に、図 2 1 ( b ) に示すように、半導体基板 2 0 0 上に MOS トランジスタを含む全面にわたって第 1 のシリコン酸化膜 2 0 5 を堆積し、堆積した第 1 のシリコン酸化膜 2 0 5 の上面を CMP 法により平坦化する。続いて、第 1 のシリコン酸化膜 2 0 5 上における MOS トランジスタの一方の拡散層 2 0 4 の上側を含む領域に、第 1 のシリコン酸化膜 2 0 5 から上方に侵入する水素を防止する第 1 の水素バリア層 2 0 6 を形成する。

#### 【 0 0 0 6 】

次に、図 2 1 ( c ) に示すように、第 1 の水素バリア層 2 0 6 上における一方の拡散層 2 0 4 を露出する第 1 のコンタクトホールを形成し、続いて、形成した第 1 のコンタクトホールに第 1 のプラグ 2 0 7 を充填して形成する。その後、第 1 の水素バリア層 2 0 6 上に、第 1 のプラグ 2 0 7 を覆うように該第 1 のプラグ 2 0 7 の酸化を防止する酸素バリア層 2 0 8 を形成する、続いて、酸素バリア層 2 0 8 の上に、下部電極 2 0 9 、強誘電体からなる容量絶縁膜 2 1 0 及び上部電極 2 1 1 により構成されるキャパシタ 2 1 2 を形成する。

#### 【 0 0 0 7 】

次に、図 2 2 ( a ) に示すように、第 1 のシリコン酸化膜 2 0 5 の上に、キャパシタ 2 1 2 及び第 1 の水素バリア層 2 0 6 を含む全面にわたって第 2 のシリコン酸化膜 2 1 3 を堆積し、堆積した第 2 のシリコン酸化膜 2 1 3 の上面を CMP 法により平坦化する。続いて、第 2 のシリコン酸化膜 2 1 3 上におけるキャパシタ 2 1 2 の上側を含む領域に、上方からの水素の侵入を防止する第 2 の水素バリア層 2 1 4 を形成する。

#### 【 0 0 0 8 】

次に、図 2 2 ( b ) に示すように、第 2 のシリコン酸化膜 2 1 3 の上に、第 2 の水素バリア層 2 1 4 を含む全面にわたって第 3 のシリコン酸化膜 2 1 5 を堆積し、堆積した第 3 のシリコン酸化膜 2 1 5 の上面を CMP 法により平坦化する。

続いて、第3のシリコン酸化膜215、第2のシリコン酸化膜213及び第1のシリコン酸化膜205にMOSトランジスタの他方の拡散層204を露出する第2のコンタクトホールを形成し、形成した第2のコンタクトホールに第2のプラグ216を充填して形成する。その後、第3のシリコン酸化膜215に上に、第2のプラグ216と接続されるように、配線217を形成する。

## 【0009】

さらに、図示はしないが、酸化シリコン等からなる層間絶縁膜と配線とを順次形成した後、保護膜の形成を行なう。

## 【0010】

## 【特許文献1】

特開平11-8355号公報（第3-5頁、第1-3図）

## 【0011】

## 【発明が解決しようとする課題】

強誘電体又は高誘電体は、結晶構造がその特性を決定する酸化物であるため、水素による還元作用の影響が大きい。一方、MOSトランジスタの形成プロセス、多層配線の形成プロセス、及び保護膜の形成プロセス等には、水素ガスはもとより、水素原子を含むシランガス、レジスト材料及び水（水分）等を用いる工程を多く含む。

## 【0012】

しかしながら、前記従来の半導体装置の製造方法は、キャパシタ212の側方に水素バリア層206、214を設けておらず、その結果、第2のシリコン酸化膜213を水素に対するバリア領域として比較的大きな領域とする必要がある。また、それぞれのキャパシタ212の側方にも水素バリア層を形成することになると、各キャパシタ212の側方に水素バリア層を設ける領域がそれぞれ必要となる。

## 【0013】

従って、キャパシタ212の側方に水素バリア層を形成しても、また形成しなくても、MOSトランジスタとキャパシタ212とからなる単位セルの面積を小さくすることができないという問題がある。

## 【 0 0 1 4 】

本発明は、強誘電体又は高誘電体を用いた容量絶縁膜を有する半導体装置において、容量絶縁膜の水素による劣化を防止しながら、単位セルの面積を小さくすることができるようにすることを目的とする。

## 【 0 0 1 5 】

## 【課題を解決するための手段】

前記の目的を達成するため、本発明は、強誘電体又は高誘電体を用いた容量絶縁膜を有する半導体装置を、複数のキャパシタを含むキャパシタ列の周囲、すなわち上方、下方及び側方の三方向を水素バリア膜により覆う構成とする。

## 【 0 0 1 6 】

具体的に、本発明に係る第1の半導体装置は、半導体基板に形成された複数のセル選択トランジスタと、半導体基板上に複数のセル選択トランジスタとそれぞれ電氣的に接続されるように形成され、それぞれが強誘電体又は高誘電体からなる容量絶縁膜を有する複数のキャパシタを含むキャパシタ列と、半導体基板上に複数のセル選択トランジスタとそれぞれ電氣的に接続され、キャパシタ列よりも下方に形成された複数のビット線とを備え、キャパシタ列は上下を含めその周囲が水素バリア膜により覆われている。

## 【 0 0 1 7 】

第1の半導体装置によると、複数のキャパシタを含むキャパシタ列は上下を含めその周囲が水素バリア膜により覆われているため、各キャパシタを構成する容量絶縁膜の水素による劣化を防止することができる。その上、水素バリア膜は、個々のキャパシタを覆うのではなく、キャパシタ列としてまとめて覆う構成を採用するため、セル選択トランジスタとキャパシタとからなる単位セルの面積が大きくなることのない。

## 【 0 0 1 8 】

第1の半導体装置は、水素バリア膜の上方に形成された配線をさらに備え、各ビット線は、水素バリア膜の外側で配線と電氣的に接続されていることが好ましい。

## 【 0 0 1 9 】

第1の半導体装置において、水素バリア膜は、各セル選択トランジスタ及び各キャパシタの間に形成された導電性下部水素バリア膜と、複数のビット線及びキャパシタ列の間に形成された絶縁性下部水素バリア膜と、キャパシタ列の上側に形成された上部水素バリア膜とから構成されていることが好ましい。

【0020】

このようにすると、各セル選択トランジスタと各キャパシタとは導電性下部水素バリア膜により電氣的に接続されるため、各セル選択トランジスタと各キャパシタとの導通が確保される。

【0021】

この場合に、各セル選択トランジスタと各キャパシタとは、絶縁性下部水素バリア膜を貫通するプラグによって電氣的に接続され、導電性下部水素バリア膜は、絶縁性下部水素バリア膜上で且つプラグの上面を覆うように形成されていることが好ましい。

【0022】

さらにこの場合に、各キャパシタは、導電性下部水素バリア膜の上に形成された下部電極と、下部電極の上に形成された容量絶縁膜と、容量絶縁膜の上に形成された上部電極とから構成されており、キャパシタ列はキャパシタと同一の構成を持つダミーキャパシタを含み、上部電極は、ダミーキャパシタにおける上部電極と下部電極とが電氣的に接続されることにより、導電性下部水素バリア膜及びプラグを介して半導体基板と導通状態にあることが好ましい。

【0023】

このようにすると、キャパシタ列の上方が水素バリア膜に覆われた状態でも、半導体基板から上部電極に対して所定の電位を供給することができる。

【0024】

また、水素バリア膜が導電性下部水素バリア膜と絶縁性下部水素バリア膜と上部水素バリア膜とから構成される場合に、導電性下部水素バリア膜における端面は、絶縁性下部水素バリア膜と接していることが好ましい。

【0025】

また、水素バリア膜が導電性下部水素バリア膜と絶縁性下部水素バリア膜と上

部水素バリア膜とから構成される場合に、各セル選択トランジスタと各キャパシタとは、絶縁性下部水素バリア膜を貫通するプラグによって電氣的に接続され、導電性下部水素バリア膜は、プラグの側面に形成されることにより、絶縁性下部水素バリア膜と接していることが好ましい。

## 【 0 0 2 6 】

本発明に係る第2の半導体装置は、下部水素バリア膜と、下部水素バリア膜の上に形成され、それぞれが強誘電体又は高誘電体からなる容量絶縁膜を有する複数のキャパシタを含むキャパシタ列と、キャパシタ列の上方を覆うように形成され、下部水素バリア膜におけるキャパシタ列の外側の領域が露出した溝部を有する層間絶縁膜と、層間絶縁膜の上に溝部の壁面及び底面を含むように全面に形成され、下部水素バリア膜と溝部の底面で接する上部水素バリア膜とを備えている。

## 【 0 0 2 7 】

第2の半導体装置によると、下部水素バリア膜におけるキャパシタ列の外側の領域が露出した溝部を有する層間絶縁膜と、層間絶縁膜の上に溝部の壁面及び底面を含むように全面に形成され、下部水素バリア膜と溝部の底面で接する上部水素バリア膜とを備えているため、単位セルの面積を増加させることなく、横方向（基板面に平行な方向）に対する水素バリア性を確保できる。また、層間絶縁膜は溝部のみの比較的に小さい面積を除去するため、上部水素バリア膜をパターンニングする際に、キャパシタ列上に形成するレジスト膜の膜厚が小さくなることがない。その上、上部水素バリア膜をパターンニングした後に、その上に形成する他の層間絶縁膜の平坦度が向上する。

## 【 0 0 2 8 】

本発明に係る第3の半導体装置は、下部水素バリア膜と、下部水素バリア膜の上に形成され、それぞれが強誘電体又は高誘電体からなる容量絶縁膜を有する複数のキャパシタを含むキャパシタ列と、キャパシタ列の側方を覆うと共に、下部水素バリア膜におけるキャパシタ列の外側部分と接するように形成された側壁水素バリア膜と、キャパシタ列の上方を覆うと共に、側壁水素バリア膜と接するように形成された上部水素バリア膜とを備えている。

## 【 0 0 2 9 】

第3の半導体装置によると、キャパシタ列の側方を覆うと共に下部水素バリア膜におけるキャパシタ列の外側部分と接するように形成された側壁水素バリア膜と、キャパシタ列を覆うと共に側壁水素バリア膜と接するように形成された上部水素バリア膜とを備えているため、横方向（基板面に平行な方向）に対する水素バリア性を確保することができ、且つ単位セルの面積を増加させることがない。また、側壁水素バリア膜が上部水素バリア膜と独立した構成であるため、キャパシタにより上面に形成される段差が比較的に大きい場合であっても、上部水素バリア膜のカバレッジが良好となる。

## 【 0 0 3 0 】

本発明に係る第1の半導体装置の製造方法は、半導体基板に複数のセル選択トランジスタを形成する工程と、半導体基板上にセル選択トランジスタと電氣的に接続されるビット線を形成する工程と、ビット線の上に絶縁性下部水素バリア膜を形成する工程と、絶縁性下部水素バリア膜を貫通して各選択トランジスタに達する複数の第1のプラグを形成する工程と、絶縁性下部水素バリア膜の上に、各第1のプラグの上面を覆うように複数の導電性下部水素バリア膜を選択的に形成する工程と、各導電性下部水素バリア膜の上に、それぞれが強誘電体又は高誘電体からなる容量絶縁膜を有する複数のキャパシタを含むキャパシタ列を形成する工程と、キャパシタ列の上方に上部水素バリア膜を形成する工程とを備えている。

## 【 0 0 3 1 】

第1の半導体装置の製造方法によると、絶縁性下部水素バリア膜を貫通して各選択トランジスタに達する複数の第1のプラグを形成し、その後、絶縁性下部水素バリア膜の上に、各第1のプラグの上面を覆うように複数の導電性下部水素バリア膜を選択的に形成するため、絶縁性下部水素バリア膜と導電性下部水素バリア膜との間から水素が浸入することがない。その上、上部水素バリア膜及び絶縁性下部水素バリア膜は、個々のキャパシタを覆うのではなく、キャパシタ列としてまとめて覆うため、セル選択トランジスタとキャパシタとからなる単位セルの面積が大きくなることがない。



## 【 0 0 3 2 】

本発明に係る第2の半導体装置の製造方法は、半導体基板に複数のセル選択トランジスタを形成する工程と、半導体基板上にセル選択トランジスタと電氣的に接続されるビット線を形成する工程と、各選択トランジスタに達する複数の第1のプラグを形成する工程と、各第1のプラグの上に、その上面を覆うように複数の導電性下部水素バリア膜を選択的に形成する工程と、各導電性下部水素バリア層の側方の領域を覆うと共に、導電性下部水素バリア層の各端面を覆うように絶縁性下部水素バリア層を形成する工程と、各導電性下部水素バリア膜の上に、それぞれが強誘電体又は高誘電体からなる容量絶縁膜を有する複数のキャパシタを含むキャパシタ列を形成する工程と、キャパシタ列の上方に上部水素バリア膜を形成する工程とを備えている。

## 【 0 0 3 3 】

第2の半導体装置の製造方法によると、第1のプラグの上にその上面を覆うように複数の導電性下部水素バリア膜を選択的に形成し、その後、各導電性下部水素バリア層の側方の領域を覆うと共に導電性下部水素バリア層の各端面を覆うように絶縁性下部水素バリア層を形成するため、各導電性下部水素バリア膜の端面と絶縁性下部水素バリア膜とが接触するので、絶縁性下部水素バリア膜と各導電性下部水素バリア膜との間から水素が浸入することがない。その上、上部水素バリア膜及び絶縁性下部水素バリア膜は、個々のキャパシタを覆うのではなく、キャパシタ列としてまとめて覆うため、セル選択トランジスタとキャパシタとからなる単位セルの面積が大きくなることがない。

## 【 0 0 3 4 】

本発明に係る第3の半導体装置の製造方法は、半導体基板に複数のセル選択トランジスタを形成する工程と、半導体基板上にセル選択トランジスタと電氣的に接続されるビット線を形成する工程と、ビット線の上方に絶縁性下部水素バリア膜を形成する工程と、絶縁性下部水素バリア膜を貫通して各選択トランジスタに達する複数のコンタクトホールを形成する工程と、各コンタクトホールの壁面及び底面上に、その上端部が絶縁性下部水素バリア膜と接する導電性下部水素バリア膜を形成し、少なくとも導電性下部水素バリア膜を含む第1のプラグを形成す

る工程と、各導電性下部水素バリア膜の上に、それぞれが強誘電体又は高誘電体からなる容量絶縁膜を有する複数のキャパシタを含むキャパシタ列を形成する工程と、キャパシタ列の上方に上部水素バリア膜を形成する工程とを備えている。

## 【 0 0 3 5 】

第3の半導体装置の製造方法によると、絶縁性下部水素バリア膜を貫通して各選択トランジスタに達する複数のコンタクトホールを形成した後、各コンタクトホールの壁面及び底面上に、その上端部が絶縁性下部水素バリア膜と接する導電性下部水素バリア膜を形成し、少なくとも導電性下部水素バリア膜を含む第1のプラグを形成する。このため、各導電性下部水素バリア膜が、その表面に導電性下部水素バリア膜を含む第1のプラグと接触するので、絶縁性下部水素バリア膜と第1のプラグとの間から水素が浸入することがない。その上、上部水素バリア膜及び絶縁性下部水素バリア膜は、個々のキャパシタを覆うのではなく、キャパシタ列としてまとめて覆うため、セル選択トランジスタとキャパシタとからなる単位セルの面積が大きくなることがない。

## 【 0 0 3 6 】

第1～第3の半導体装置の製造方法は、上部水素バリア膜を形成する工程よりも後に、半導体基板の上に上部水素バリア膜を含む全面にわたって層間絶縁膜を形成する工程と、層間絶縁膜における上部水素バリア膜が形成された領域の外側部分にビット線と接続される第2のプラグを形成する工程と、層間絶縁膜の上に、第2のプラグと接する配線を形成する工程とをさらに備えていることが好ましい。

## 【 0 0 3 7 】

また、第1～第3の半導体装置の製造方法において、上部水素バリア膜を形成する工程は、上部水素バリア膜を、絶縁性下部水素バリア膜におけるキャパシタ列の外側の領域で接触するように形成する工程を含むことが好ましい。

## 【 0 0 3 8 】

本発明に係る第4の半導体装置の製造方法は、半導体基板上に下部水素バリア膜を形成する工程と、下部水素バリア膜の上に、それぞれが強誘電体又は高誘電体からなる容量絶縁膜を有する複数のキャパシタを含むキャパシタ列を形成する

工程と、キャパシタ列の上方を覆う層間絶縁膜を形成する工程と、層間絶縁膜に下部水素バリア膜におけるキャパシタ列の外側の領域を露出する溝部を形成する工程と、層間絶縁膜の上に下部水素バリア膜と溝部の底面で接するように上部水素バリア膜を形成する工程とを備えている。

## 【 0 0 3 9 】

第4の半導体装置の製造方法によると、キャパシタ列の上方を覆う層間絶縁膜を形成し、形成した層間絶縁膜に、下部水素バリア膜におけるキャパシタ列の外側の領域を露出する溝部を形成した後、層間絶縁膜の上に下部水素バリア膜と溝部の底面で接するように上部水素バリア膜を形成する。このように、キャパシタ列を覆う層間絶縁膜に溝部を設けるため、層間絶縁膜の上に形成する上部水素バリア膜は該溝部の底面により下部水素バリア膜と接するので、単位セル面積を増加させることなく、横方向（基板面に平行な方向）に対する水素バリア性を確保することができる。また、層間絶縁膜に設ける溝部は、その形成部分のみが除去されるため、上部水素バリア膜をパターニングする際に、キャパシタ列上のレジスト膜の膜厚が小さくなることがない。さらに、溝部をキャパシタ列ごとに形成するため、上部水素バリア膜をパターニングした後に、その上に他の層間絶縁膜を形成しても、他の層間絶縁膜における溝部への埋め込み後の平坦度が向上する。

## 【 0 0 4 0 】

本発明に係る第5の半導体装置の製造方法は、半導体基板上に下部水素バリア膜を形成する工程と、下部水素バリア膜の上にそれぞれが強誘電体又は高誘電体からなる容量絶縁膜を有する複数のキャパシタを含むキャパシタ列を形成する工程と、キャパシタ列の側方を覆うと共に下部水素バリア膜におけるキャパシタ列の外側部分と接するように側壁水素バリア膜を形成する工程と、キャパシタ列の上方を覆うと共に側壁水素バリア膜と接するように上部水素バリア膜を形成する工程とを備えている。

## 【 0 0 4 1 】

第5の半導体装置の製造方法によると、キャパシタ列の側方を覆うと共に下部水素バリア膜におけるキャパシタ列の外側部分と接するように側壁水素バリア膜

を形成し、その後、キャパシタ列の上方を覆うと共に側壁水素バリア膜と接するように上部水素バリア膜を形成する。このように、キャパシタ列は、側壁水素バリア膜と、該側壁水素バリア膜と接する上部水素バリア膜とにより覆われているため、単位セル面積を増加させることなく、横方向（基板面に平行な方向）に対する水素バリア性を確保することができる。また、側壁水素バリア膜を上部水素バリア膜とは独立して形成するため、キャパシタ列による段差が大きい場合でも、上部水素バリア膜のカバレッジが良好となる。

#### 【 0 0 4 2 】

##### 【発明の実施の形態】

##### （第 1 の実施形態）

本発明の第 1 の実施形態について図面を参照しながら説明する。

#### 【 0 0 4 3 】

図 1 は本発明の第 1 の実施形態に係る半導体装置の部分的な断面構成を示している。

#### 【 0 0 4 4 】

図 1 に示すように、例えばシリコン（Si）からなる半導体基板 10 の上部には、深さが約 300 nm の素子分離領域 11 が選択的に形成されており、半導体基板 10 の主面における素子分離領域 11 によって区画された領域上には、膜厚が約 10 nm のゲート絶縁膜 12 と、その上に膜厚が約 200 nm のポリシリコンからなるゲート電極 13 とが形成され、該ゲート電極 13 の側面上には膜厚が約 50 nm のサイドウォール絶縁膜（図示せず）が形成されている。半導体基板 10 の上部には、ゲート電極 12 をマスクとしてイオン注入されたドレイン拡散層 14 A、ソース拡散層 14 B 及び配線用拡散層 14 C が形成されている。このように、それぞれがゲート絶縁膜 12、ゲート電極 13、ドレイン拡散層 14 A 及びソース拡散層 14 B からなる複数の MOS トランジスタが各メモリセルのセル選択トランジスタを構成している。

#### 【 0 0 4 5 】

各 MOS トランジスタは、ゲート電極 13 の上側において膜厚が約 200 nm となるように平坦化された酸化シリコン（SiO<sub>2</sub>）からなる第 1 の層間絶縁膜

15により覆われており、第1の層間絶縁膜15における各ドレイン拡散層14Aの上側部分には、それぞれタングステン(W)からなる複数の第1プラグ16が形成されている。ここで、図示はしていないが、各第1プラグ16の下部には、半導体基板10と接し、膜厚が約10nmのチタン(Ti)と、その上に積層され膜厚が約20nmの窒化チタン(TiN)とからなり、ドレイン拡散層14Aに対するバリア膜が形成されている。

## 【0046】

第1の層間絶縁膜15の上には、第1プラグ16と接続されるように、膜厚が約10nmのチタン及び膜厚が約100nmのタングステンが順次堆積したビット線17が形成され、これにより、MOSトランジスタのドレイン拡散層14Aとビット線17とが第1プラグ16により電氣的に接続される。

## 【0047】

ビット線17は、その上側部分の膜厚が約100nmとなるように平坦化された酸化シリコンからなる第2の層間絶縁膜18により覆われている。

## 【0048】

第2の層間絶縁膜18の上には、膜厚が約100nmの窒化シリコン( $\text{Si}_3\text{N}_4$ )からなる絶縁性下部水素バリア膜19が形成されている。

## 【0049】

絶縁性下部水素バリア膜19、第2の層間絶縁膜18及び第1の層間絶縁膜15におけるソース拡散層14Bの上側部分には、これらを通する、タングステンからなる複数の第2プラグ20が形成されている。ここでも、各第2プラグ20の下部には、第1プラグ16と同様に、膜厚が約10nmのチタンと、約20nmの窒化チタンとが順次積層されてなり、ソース拡散層14Bに対するバリア膜(図示せず)が形成されている。

## 【0050】

絶縁性下部水素バリア膜19の上には、膜厚が約50nmの窒化チタンアルミニウム( $\text{TiAlN}$ )からなる複数の導電性下部水素バリア膜21が各第2プラグ20をそれぞれ覆うように選択的に形成されている。また、各導電性下部水素バリア膜21の上には、それらと同一形状で膜厚が約50nmのイリジウム(I

r) と膜厚が約 5 0 n m の酸化イリジウム ( $\text{IrO}_2$ ) とからなる酸素バリア膜 2 2 が形成されている。

【 0 0 5 1 】

酸素バリア膜 2 2 は、その上側部分の膜厚が約 5 0 0 n m となるように平坦化された酸化シリコンからなる第 3 の層間絶縁膜 2 3 により覆われている。第 3 の層間絶縁膜 2 3 には、各酸素バリア膜 2 2 を露出するコンタクトホール 2 3 a がそれぞれ形成されている。

【 0 0 5 2 】

第 3 の層間絶縁膜 2 3 の各コンタクトホール 2 3 a の底面上及び壁面上には、膜厚が約 5 n m の酸化イリジウムと膜厚が約 5 0 n m の白金 (Pt) とからなる下部電極 2 4 が形成されている。

【 0 0 5 3 】

各コンタクトホール 2 3 a を含む第 3 の層間絶縁膜 2 3 の上には、膜厚が約 5 0 n m の、ストロンチウム (Sr)、ビスマス (Bi)、タンタル (Ta) 及びニオブ (Nb) を主成分とするビスマス層状ペロブスカイト型酸化物である強誘電体からなる容量絶縁膜 2 5 が、下部電極 2 4 を覆うように形成されている。ここで、容量絶縁膜 2 5 における端部 (図 1 における右端) に位置するコンタクトホール 2 3 a 内に成膜される部分は、下部電極 2 4 を露出する開口部 2 5 a によって他の部分と切り離されている。

【 0 0 5 4 】

容量絶縁膜 2 5 の上には、膜厚が約 5 0 n m の白金からなる上部電極 2 6 が形成されている。これにより、下部電極 2 4、容量絶縁膜 2 5 及び上部電極 2 6 からなるキャパシタ 2 7 が形成され、数十個から数百個単位のキャパシタ 2 7 を 1 ブロックとするキャパシタ列 (アレイ) が形成されている。

【 0 0 5 5 】

上部電極 2 6 は、容量絶縁膜 2 5 に設けられた開口部 2 5 a により下部電極 2 4 と電氣的に接続される。その結果、キャパシタ列の右端に位置するキャパシタはダミーキャパシタ 2 7 A となり、その下部電極 2 4 はそれと接続される第 2 ブラグ 2 0 を介して配線用拡散層 1 4 C と電氣的に接続される。このように、第 1

の実施形態に係る各キャパシタ 2 7 の上部電極 2 6 には、半導体基板 1 0 から導電性下部水素バリア膜 2 1 及び第 2 プラグ 2 0 を介して所定の電位を供給することができる。

## 【 0 0 5 6 】

各キャパシタ 2 7 の上部電極 2 6 は、その上側部分の膜厚が約 3 0 0 n m となるように平坦化された酸化シリコンからなる第 4 の層間絶縁膜 2 8 により覆われている。第 4 の層間絶縁膜 2 8 及び第 3 の層間絶縁膜 2 3 におけるキャパシタ列の外側部分は、絶縁性下部水素バリア膜 1 9 が露出されるように除去されており、第 4 の層間絶縁膜 2 8、第 3 の層間絶縁膜 2 3 及び絶縁性下部水素バリア膜 1 9 の各露出面は、膜厚が約 5 0 n m で絶縁性を有する酸化チタンアルミニウム ( T i A l O ) からなる上部水素バリア膜 2 9 により覆われている。さらに、上部水素バリア膜 2 9 には、絶縁性下部水素バリア膜 1 9 との接続幅が約 5 0 0 n m の接続部 2 9 a が形成されており、上部水素バリア膜 2 9 の接続部 2 9 a よりも外側部分は、第 2 の層間絶縁膜 1 8 が露出するように、絶縁性下部水素バリア膜 1 9 と共に除去されている。

## 【 0 0 5 7 】

上部水素バリア膜 2 9 及び第 2 の層間絶縁膜 1 8 の露出部分は、上部水素バリア膜 2 9 の上側部分の膜厚が約 3 0 0 n m となるように平坦化された酸化シリコンからなる第 5 の層間絶縁膜 3 0 により覆われている。

## 【 0 0 5 8 】

第 5 の層間絶縁膜 3 0 には、キャパシタ列の外側の領域、すなわち上部水素バリア膜 2 9 の外側の領域において、ビット線 1 7 と接続されたタングステンからなる第 3 プラグ 3 1 が形成されている。

## 【 0 0 5 9 】

第 5 の層間絶縁膜 3 0 の上には、第 3 プラグ 3 1 を含むように、下層から順次積層された、膜厚が約 1 0 n m のチタン ( T i )、膜厚が約 5 0 n m の窒化チタン ( T i N )、膜厚が約 5 0 0 n m のアルミニウム ( A l )、及び膜厚が約 5 0 n m の窒化チタン ( T i N ) からなる配線 3 2 が形成されており、該配線 3 2 は、第 3 プラグ 3 1 を介してビット線 1 7 と接続されている。

## 【 0 0 6 0 】

第 1 の実施形態によると、メモリセルアレイを構成するキャパシタ列は、その下側に設けられた絶縁性下部水素バリア膜 1 9、第 2 プラグ 2 0 と電氣的に接続された導電性下部水素バリア膜 2 1、並びにキャパシタ列の上方及び側方に設けられた上部水素バリア膜 2 9 により、基板面の上下方向及び平行な方向のすべての方向から包み込まれているため、キャパシタ 2 7 を構成する強誘電体からなる容量絶縁膜 2 5 の水素による劣化を確実に防止することができる。

## 【 0 0 6 1 】

また、上部水素バリア膜 2 9 は、複数のキャパシタ 2 7 を含むキャパシタ列単位で形成されているため、水素バリア膜を一对の MOS トランジスタとキャパシタ 2 7 とからなる単位セルごとに設ける場合と異なり、セル面積を大きくすることなく横方向（基板面に平行な方向）に対する水素バリア性を確保することができる。

## 【 0 0 6 2 】

また、各キャパシタ 2 7 の下部電極 2 4 と各第 2 プラグ 2 0 との間には、それぞれ導電性下部水素バリア膜 2 1 を設けているため、各 MOS トランジスタのソース拡散層 1 4 B と各キャパシタ 2 7 との導通が確保される。

## 【 0 0 6 3 】

以下、前記のように構成された半導体装置の製造方法について図面を参照しながら説明する。

## 【 0 0 6 4 】

図 2 ( a ) ～図 2 ( c )、図 3、図 4、図 5 及び図 6 は本発明の第 1 の実施形態に係る半導体装置の製造方法の工程順の断面構成を示している。

## 【 0 0 6 5 】

## [ MOS トランジスタ形成 ]

まず、図 2 ( a ) に示すように、リソグラフィ法及びドライエッチング法により、シリコンからなる半導体基板 1 0 の上部に深さが約 3 0 0 n m の溝部を形成する。続いて、CVD 法により、半導体基板 1 0 上に酸化シリコンを堆積し、化学機械研磨 (CMP) 法により堆積した酸化シリコンに対して平坦化を行なって



溝部にシリコン酸化膜を埋め込むことにより、素子分離領域 1 1 を選択的に形成する。その後、例えば熱酸化法により、半導体基板 1 0 の主面上に膜厚が約 1 0 nm のゲート絶縁膜を形成し、続いて、低圧 C V D 法により、膜厚が約 2 0 0 nm のポリシリコンを堆積し、堆積したポリシリコンに対してリソグラフィ法及びドライエッチング法によりパターンニングを行なって、ポリシリコンからなる複数のゲート電極 1 3 を形成する。続いて、図示はしていないが、C V D 法により、半導体基板 1 0 の上にゲート電極 1 3 を覆うように膜厚が約 5 0 nm の酸化シリコンを堆積し、エッチバックを行なってサイドウォール絶縁膜を形成する。続いて、半導体基板 1 0 に対してゲート電極 1 3 及びサイドウォールをマスクとして、イオン注入を行なうことにより、ドレイン拡散層 1 4 A 及びソース拡散層 1 4 B を形成して M O S トランジスタを得る。このとき、半導体基板 1 0 における M O S トランジスタ形成領域を除く活性領域に配線用拡散層 1 4 C を形成する。

【 0 0 6 6 】

[ビット線形成]

次に、図 2 ( b ) に示すように、C V D 法により、半導体基板 1 0 の上にゲート電極 1 3 を含む全面にわたって酸化シリコンを堆積した後、CMP 法により、堆積した酸化シリコンに対してゲート電極 1 3 の上側部分の膜厚が約 2 0 0 nm となるように平坦化して、酸化シリコンからなる第 1 の層間絶縁膜 1 5 を形成する。続いて、リソグラフィ法及びドライエッチング法により、第 1 の層間絶縁膜 1 5 におけるドレイン拡散層 1 4 A の上側部分に該ドレイン拡散層 1 4 A を露出するコンタクトホールを形成する。その後、C V D 法により、第 1 の層間絶縁膜 1 5 の上に、膜厚が約 1 0 nm のチタン、膜厚が約 2 0 nm の窒化チタン及び膜厚が約 3 0 0 nm のタングステンを順次コンタクトホールに充填されるように堆積し、続いて、CMP 法により堆積膜における第 1 の層間絶縁膜 1 5 上に残る部分を除去することにより、M O S トランジスタのドレイン拡散層 1 4 A と接続する第 1 プラグ 1 6 を第 1 の層間絶縁膜 1 5 に形成する。続いて、スパッタ法により、第 1 の層間絶縁膜 1 5 の上に、膜厚が約 1 0 nm のチタン及び膜厚が約 1 0 0 nm のタングステンを順次堆積し、その後、リソグラフィ法及びドライエッチング法により、堆積した金属積層膜をパターンニングして、該金属積層膜から、第

1 プラグ 1 6 と接続されるビット線 1 7 を形成する。

【 0 0 6 7 】

〔下部水素バリア膜形成〕

次に、図 2 (c) に示すように、CVD 法により、第 1 の層間絶縁膜 1 5 の上にビット線 1 7 を含む全面にわたって酸化シリコンを堆積した後、CMP 法により、堆積した酸化シリコンに対してビット線 1 7 の上側部分の膜厚が約 1 0 0 n m となるように平坦化して、酸化シリコンからなる第 2 の層間絶縁膜 1 8 を形成する。続いて、CVD 法により、第 2 の層間絶縁膜 1 8 の上に、膜厚が約 1 0 0 n m の窒化シリコンからなる絶縁性下部水素バリア膜 1 9 を堆積する。その後、リソグラフィ法及びドライエッチング法により、MOS トランジスタのソース領域 1 4 B 及び配線用拡散層 1 4 C の上側部分に、ソース拡散層 1 4 B 及び配線用拡散層 1 4 C をそれぞれ露出するコンタクトホールを形成する。続いて、CVD 法により、絶縁性下部水素バリア膜 1 9 の上に、膜厚が約 1 0 n m のチタン、膜厚が約 2 0 n m の窒化チタン及び膜厚が約 3 0 0 n m のタングステンを順次コンタクトホールに充填されるように堆積し、続いて、CMP 法により堆積膜における絶縁性下部水素バリア膜 1 9 の上に残る部分を除去することにより、MOS トランジスタのソース拡散層 1 4 B 及び配線用拡散層 1 4 C とそれぞれ接続する第 2 プラグ 2 0 を、絶縁性下部水素バリア膜 1 9 、第 2 の層間絶縁膜 1 8 及び第 1 の層間絶縁膜 1 5 にわたって形成する。

【 0 0 6 8 】

次に、図 3 (a) に示すように、スパッタ法により、絶縁性下部水素バリア膜 1 9 の上に第 2 プラグ 2 0 を含む全面にわたって、膜厚が約 5 0 n m の窒化チタンアルミニウム、膜厚が約 5 0 n m のイリジウム及び膜厚が約 5 0 n m の酸化イリジウムを順次堆積する。続いて、リソグラフィ法及びドライエッチング法により、これら積層膜に対して各第 2 プラグ 2 0 を含むように順次パターニングを行なって、窒化チタンアルミニウムからなる導電性下部水素バリア膜 2 1 と、イリジウム及び酸化イリジウムからなる酸素バリア膜 2 2 とを形成する。これにより、導電性下部水素バリア膜 2 1 は、その下面の中央部において第 2 プラグ 2 0 と接続する一方、その周縁部において絶縁性下部水素バリア膜 1 9 と接続する。

【 0 0 6 9 】

## 〔キャパシタ形成〕

次に、図 3 (b) に示すように、CVD 法により、絶縁性下部水素バリア膜 19 の上に酸素バリア膜 22 を含む全面にわたって酸化シリコンを堆積した後、CMP 法により、堆積した酸化シリコンに対して酸素バリア膜 22 の上側部分の膜厚が約 500 nm となるように平坦化して、酸化シリコンからなる第 3 の層間絶縁膜 23 を形成する。続いて、リソグラフィ法及びドライエッチング法により、第 3 の層間絶縁膜 23 における各酸素バリア膜 22 の上側部分に該酸素バリア膜 23 を露出するコンタクトホール 23 a を形成する。ここで、該コンタクトホールの壁面及び底面上にはキャパシタを形成するため、その壁面のカバレッジの向上を図るために上方が広がるテーパ形状とすることが好ましい。続いて、スパッタ法により、第 3 の層間絶縁膜 23 の上にコンタクトホール 23 a の壁面及び底面を含む全面にわたって、膜厚が約 5 nm の酸化イリジウム及び膜厚が約 50 nm の白金を順次堆積する。その後、リソグラフィ法及びドライエッチング法により、堆積膜をコンタクトホール 23 a を含む領域でパターニングして、該堆積膜から下部電極 24 を形成する。続いて、有機金属気相堆積 (MOCVD) 法により、第 3 の層間絶縁膜 23 の上にコンタクトホール 23 a を含む全面にわたって、膜厚が約 50 nm で、ストロンチウム、ビスマス、タンタル及びニオブを主成分とするビスマス層状ペロブスカイト型酸化物である強誘電体からなる容量絶縁膜 25 を堆積する。その後、容量絶縁膜 25 に対して、複数の第 2 プラグ 20 のうち端部に位置するプラグとそれと隣接するプラグとの間に、下部電極 24 を露出する開口部 25 a を形成する。続いて、スパッタ法により、容量絶縁膜 25 の上に膜厚が約 50 nm の白金を堆積し、その後、堆積した白金を容量絶縁膜 25 と共に、下部電極 24 を含む領域でパターニングして、白金からなる上部電極 26 を形成する。これにより、各コンタクトホール 23 a には、それぞれが下部電極 24、容量絶縁膜 25 及び上部電極 26 からなる複数のキャパシタ 27 が形成され、それぞれ、下部電極 24、酸素バリア膜 22、導電性下部水素バリア膜 21 及び第 2 プラグ 20 を介して、MOS トランジスタのソース拡散層 14 B と電氣的に接続される。ここで、配線用拡散層 14 C と接続される第 2 プラグ 20

の上に形成されるキャパシタはダミーキャパシタ 2 7 A となる。

【 0 0 7 0 】

〔上部水素バリア膜形成〕

次に、図 4 に示すように、CVD 法により、第 3 の層間絶縁膜 2 3 の上に、キャパシタ 2 7 の上部電極 2 6 を含む全面にわたって酸化シリコンを堆積した後、CMP 法により、堆積した酸化シリコンに対して第 3 の層間絶縁膜 2 3 の上に位置する上部電極 2 6 の上側部分の膜厚が約 3 0 0 n m となるように平坦化して、酸化シリコンからなる第 4 の層間絶縁膜 2 8 を形成する。続いて、リソグラフィ法及びドライエッチング法により、第 4 の層間絶縁膜 2 8 及び第 3 の層間絶縁膜 2 3 におけるキャパシタ列を覆う領域をマスクしてその外側部分を除去することにより、絶縁性下部水素バリア膜 1 9 を露出する。続いて、スパッタ法により、第 4 の層間層間絶縁膜 2 8 の上面及び端面、第 3 の層間絶縁膜 2 3 の端面並びに絶縁性下部水素バリア膜 1 9 の露出面上に、膜厚が約 5 0 n m の酸化チタンアルミニウムからなる上部水素バリア膜 2 9 を堆積する。これにより、上部水素バリア膜 2 9 は、キャパシタ列の外側において絶縁性下部水素バリア膜 1 9 と接続する。その後、上部水素バリア膜 2 9 における接続部 2 9 a の幅を約 5 0 0 n m だけ残すように、上部水素バリア膜 2 9 及び絶縁性下部水素バリア膜 1 9 におけるキャパシタ列の外側部分をドライエッチングにより除去する。

【 0 0 7 1 】

次に、図 5 に示すように、CVD 法により、上部水素バリア膜 2 9 及び第 2 の層間絶縁膜 1 8 の上に全面にわたって酸化シリコンを堆積した後、CMP 法により、堆積した酸化シリコンに対して上部水素バリア膜 2 9 の上側部分の膜厚が約 3 0 0 n m となるように平坦化して、酸化シリコンからなる第 5 の層間絶縁膜 3 0 を形成する。

【 0 0 7 2 】

〔配線形成〕

次に、図 6 に示すように、第 5 の層間絶縁膜 3 0 におけるキャパシタ列の外側に、ビット線 1 7 を露出するコンタクトホールを選択的に形成する。続いて、CVD 法により、第 5 の層間絶縁膜 3 0 の上に、膜厚が約 1 0 n m のチタン、膜厚

が約 2 0 n m の窒化チタン及び膜厚が約 3 0 0 n m のタングステンを順次コンタクトホールに充填されるように堆積し、続いて、CMP 法により堆積膜における第 5 の層間絶縁膜 3 0 の上に残る部分を除去することにより、ビット線 1 7 と接続する第 3 プラグ 3 1 を第 5 の層間絶縁膜 3 0 に形成する。続いて、スパッタ法により、第 5 の層間絶縁膜 3 0 の上に第 3 プラグ 3 1 と接続されるように、膜厚が約 1 0 n m のチタン、膜厚が約 5 0 n m の窒化チタン、膜厚が約 5 0 0 n m のアルミニウム及び膜厚が約 5 0 n m の窒化チタンを順次堆積し、その後、堆積した積層膜に対してドライエッチング法によりパターニングを行なって、積層膜から配線 3 2 を形成する。

## 【 0 0 7 3 】

次に、図示はしていないが、多層配線の形成、保護膜の形成、及びパッドの形成等の公知の製造プロセスにより、所望の半導体装置を得る。

## 【 0 0 7 4 】

このように、第 1 の実施形態に係る半導体装置の製造方法によると、複数のキャパシタ 2 7 を含むキャパシタ列の下側には、絶縁性下部水素バリア膜 1 9 が設けられ、キャパシタ列の上側及び側方は、絶縁性下部水素バリア膜 1 9 と接続部 2 9 a を持つ上部水素バリア膜 2 9 により囲まれている。さらに、絶縁性下部水素バリア膜 1 9 を貫通する第 2 プラグ 2 0 の上には、その周囲で絶縁性下部水素バリア膜 1 9 と接触し且つ第 2 プラグ 2 0 の上面を覆うように導電性下部水素バリア膜 2 1 が形成されているため、絶縁性下部水素バリア膜 1 9 と導電性下部水素バリア膜 2 1 との間から水素が浸入することがない。

## 【 0 0 7 5 】

また、いわゆるセルプレートであるキャパシタ 2 7 の上部電極 2 6 は、前述したように、キャパシタ列の端部に設けられたダミーキャパシタ 2 7 A により、半導体基板 1 0 の配線用拡散層 1 4 C と電氣的に接続が可能である。このため、上部水素バリア膜 2 9 に、上部電極 2 6 に対して電位を供給する配線の開口部を設ける必要がなくなるので、上部水素バリア膜 2 9 のバリア特性を維持できる。その上、半導体基板 1 0 に設けた配線用拡散層 1 4 C は、MOS トランジスタのドレイン拡散層 1 4 A 及びソース拡散層 1 4 B と同一のイオン注入工程で形成する

ことができ、また、第2プラグ20及びダミーキャパシタ27Aは、キャパシタ列を形成する工程で同時に形成できるため、製造プロセスをわざわざ増やす必要がない。

【0076】

(第2の実施形態)

以下、本発明の第2の実施形態について図面を参照しながら説明する。

【0077】

図7は本発明の第2の実施形態に係る半導体装置の部分的な断面構成を示している。ここで、図7において、図1に示す構成部材と同一の構成部材には同一の符号を付すことにより説明を省略する。

【0078】

第2の実施形態に係る半導体装置は、MOSトランジスタのソース拡散領域14B又は配線用拡散層14Cと接続される第2プラグ20の上面を覆う導電性下部水素バリア膜21を、ビット線17を覆う第2の層間絶縁膜18の上に直接に形成し、さらに、酸化チタンアルミニウムからなる絶縁性下部水素バリア膜39を、導電性下部水素バリア膜21及び酸素バリア膜22の側端面を覆うように第2の層間絶縁膜18上に形成する構成とする。

【0079】

以下、前記のように構成された半導体装置の製造方法について図面を参照しながら説明する。ここでは、第1の実施形態に係る製造方法との相違点のみを説明する。

【0080】

図8(a)、図8(b)及び図9は本発明の第2の実施形態に係る半導体装置の製造方法の一部の工程の断面構成を示している。

【0081】

[下部水素バリア膜形成]

図8(a)に示すように、第1の実施形態と同様に、酸化シリコンからなる第1の層間絶縁膜15の上に、膜厚が約10nmのチタン及び膜厚が約100nmのタングステンからなる積層構造を持つビット線17を選択的に形成する。続い

て、CVD法により、第1の層間絶縁膜15の上にビット線17を含む全面にわたって酸化シリコンを堆積した後、CMP法により、堆積した酸化シリコンに対してビット線17の上側部分の膜厚が約100nmとなるように平坦化して、酸化シリコンからなる第2の層間絶縁膜18を形成する。続いて、リソグラフィ法及びドライエッチング法により、MOSトランジスタのソース領域14B及び配線用拡散層14Cの上側部分に、各拡散層14B、14Cをそれぞれ露出するコンタクトホールを形成する。その後、CVD法により、第2の層間絶縁膜18の上に、膜厚が約10nmのチタン、膜厚が約20nmの窒化チタン及び膜厚が約300nmのタングステンを順次コンタクトホールに充填されるように堆積し、続いて、CMP法により堆積膜における第2の層間絶縁膜18の上に残る部分を除去することにより、MOSトランジスタのソース拡散層14B及び配線用拡散層14Cとそれぞれ接続する第2プラグ20を、第2の層間絶縁膜18及び第1の層間絶縁膜15にわたって形成する。

## 【0082】

次に、図8(b)に示すように、スパッタ法により、第2の層間絶縁膜18の上に第2プラグ20を含む全面にわたって、膜厚が約50nmの窒化チタンアルミニウム、膜厚が約50nmのイリジウム及び膜厚が約50nmの酸化イリジウムを順次堆積する。続いて、リソグラフィ法及びドライエッチング法により、これら積層膜に対して各第2プラグ20を含むように順次パターニングを行なって、窒化チタンアルミニウムからなる導電性下部水素バリア膜21と、イリジウム及び酸化イリジウムからなる酸素バリア膜22とを形成する。

## 【0083】

次に、図9に示すように、スパッタ法により、第2の層間絶縁膜18の上に、導電性下部水素バリア膜21及び酸素バリア膜22を含む全面にわたって、膜厚が約50nmの酸化チタンアルミニウムからなる絶縁性下部水素バリア膜39を堆積する。これにより、絶縁性下部水素バリア膜39は、導電性下部水素バリア膜21の側端面と接続する。その後、図示はしていないが、第3の層間絶縁膜23にコンタクトホール23aを形成する際に、絶縁性下部水素バリア膜39における各導電性下部水素バリア膜21の上側部分をそれぞれ選択的に除去する。

## 【 0 0 8 4 】

このように、第 2 の実施形態によると、第 1 の実施形態と同様に、複数のキャパシタ 2 7 を含むキャパシタ列の下側を覆う絶縁性下部水素バリア膜 3 9 及び導電性下部水素バリア膜 2 1 と、キャパシタ列の上側及び側方を覆う上部水素バリア膜 2 9 とを有している。このため、単位セルごとに水素バリア膜を設ける場合と異なり、セル面積を大きくすることなく横方向（基板面に平行な方向）に対する水素バリア性を確保することができる。

## 【 0 0 8 5 】

その上、第 2 の実施形態においては、絶縁性下部水素バリア膜 3 9 は導電性下部水素バリア膜 2 1 の側端面と接触しているため、絶縁性下部水素バリア膜 3 9 と導電性下部水素バリア膜 2 1 との間から水素が浸入することがない。

## 【 0 0 8 6 】

## （第 3 の実施形態）

以下、本発明の第 3 の実施形態について図面を参照しながら説明する。

## 【 0 0 8 7 】

図 1 0 は本発明の第 3 の実施形態に係る半導体装置の部分的な断面構成を示している。ここで、図 1 0 において、図 1 に示す構成部材と同一の構成部材には同一の符号を付すことにより説明を省略する。

## 【 0 0 8 8 】

第 3 の実施形態に係る半導体装置は、MOS トランジスタのソース拡散領域 1 4 B 又は配線用拡散層 1 4 C と接続される第 2 プラグ 4 0 の側部及び下部に、膜厚が約 5 0 n m の窒化チタンアルミニウムからなる導電性下部水素バリア膜 4 0 a を設ける構成とする。ここで、第 2 プラグ 4 0 の内部にはタングステンからなるプラグ本体 4 0 b が形成されている。

## 【 0 0 8 9 】

また、各第 2 プラグ 4 0 と各キャパシタ 2 7 の下部電極 2 4 との間には、下層から膜厚が約 1 0 n m のチタン、膜厚が約 5 0 n m のイリジウム及び膜厚が約 5 0 n m の酸化イリジウムからなる酸素バリア膜 4 2 が、第 2 プラグ 4 0 を覆うように形成されている。



## 【 0 0 9 0 】

以下、前記のように構成された半導体装置の製造方法について図面を参照しながら説明する。ここでも、第 1 の実施形態に係る製造方法との相違点のみを説明する。

## 【 0 0 9 1 】

図 1 1 ( a ) 、図 1 1 ( b ) 及び図 1 2 は本発明の第 3 の実施形態に係る半導体装置の製造方法の一部の工程の断面構成を示している。

## 【 0 0 9 2 】

## 〔下部水素バリア膜形成〕

図 1 1 ( a ) に示すように、第 1 の実施形態と同様に、酸化シリコンからなる第 1 の層間絶縁膜 1 5 の上に、膜厚が約 1 0 n m のチタン及び膜厚が約 1 0 0 n m のタングステンからなる積層構造を持つビット線 1 7 を選択的に形成する。続いて、CVD法により、第 1 の層間絶縁膜 1 5 の上にビット線 1 7 を含む全面にわたって酸化シリコンを堆積した後、CMP法により、堆積した酸化シリコンに対してビット線 1 7 の上側部分の膜厚が約 1 0 0 n m となるように平坦化して、酸化シリコンからなる第 2 の層間絶縁膜 1 8 を形成する。続いて、CVD法により、第 2 の層間絶縁膜 1 8 の上に、膜厚が約 1 0 0 n m の窒化シリコンからなる絶縁性下部水素バリア膜 1 9 を堆積し、その後、リソグラフィ法及びドライエッチング法により、MOSトランジスタのソース領域 1 4 B 及び配線用拡散層 1 4 C の上側部分に、各拡散層 1 4 B 、 1 4 C をそれぞれ露出するコンタクトホール 1 9 a を形成する。

## 【 0 0 9 3 】

次に、図 1 1 ( b ) に示すように、CVD法により、絶縁性下部水素バリア膜 1 9 の上にコンタクトホール 1 9 a の底面及び壁面上に堆積するように、膜厚が約 5 0 n m の窒化チタンアルミニウムからなる導電性下部水素バリア膜 4 0 a を堆積し、続いて、膜厚が約 3 0 0 n m のタングステンをコンタクトホール 1 9 a に充填されるように堆積する。その後、CMP法により堆積した積層膜における絶縁性下部水素バリア膜 1 9 の上に残る部分を除去することにより、コンタクトホール 1 9 a における導電性下部水素バリア膜 4 0 a の内側に、タングステンか

らなるプラグ本体 4 0 b が形成される。これにより、M O S トランジスタのソース拡散層 1 4 B 及び配線用拡散層 1 4 C とそれぞれ接続する第 2 プラグ 4 0 が、絶縁性下部水素バリア膜 1 9、第 2 の層間絶縁膜 1 8 及び第 1 の層間絶縁膜 1 5 にわたって形成される。

## 【 0 0 9 4 】

次に、図 1 2 に示すように、スパッタ法により、絶縁性下部水素バリア膜 1 9 の上に第 2 プラグ 4 0 を含む全面にわたって、膜厚が約 1 0 n m のチタン、膜厚が約 5 0 n m のイリジウム及び膜厚が約 5 0 n m の酸化イリジウムを順次堆積する。続いて、リソグラフィ法及びドライエッチング法により、これら積層膜に対して各第 2 プラグ 4 0 を含むようにパターニングを行なって、下層からチタン、イリジウム及び酸化イリジウムからなる酸素バリア膜 2 2 を形成する。

## 【 0 0 9 5 】

このように、第 3 の実施形態によると、第 1 の実施形態と同様に、複数のキャパシタ 2 7 を含むキャパシタ列の下側を覆う絶縁性下部水素バリア膜 3 9 及び導電性下部水素バリア膜 4 0 a と、キャパシタ列の上側及び側方を覆う上部水素バリア膜 2 9 とを有している。このため、単位セルごとに水素バリア膜を設ける場合と異なり、セル面積を大きくすることなく横方向（基板面に平行な方向）に対する水素バリア性を確保することができる。

## 【 0 0 9 6 】

その上、第 3 の実施形態においては、導電性下部水素バリア膜 4 0 a をコンタクトホール 1 9 a の底面及び壁面上に設けており、絶縁性下部水素バリア膜 1 9 のコンタクトホール 1 9 a 側の端面と接触しているため、絶縁性下部水素バリア膜 1 9 と導電性下部水素バリア膜 4 0 a との間から水素が浸入することがない。

## 【 0 0 9 7 】

## （第 4 の実施形態）

以下、本発明の第 4 の実施形態について図面を参照しながら説明する。

## 【 0 0 9 8 】

図 1 3 本発明の第 4 の実施形態に係る半導体装置の部分的な断面構成を示している。ここで、図 1 3 において、図 1 に示す構成部材と同一の構成部材には同一

の符号を付すことにより説明を省略する。

【0099】

第4の実施形態に係る半導体装置は、上部水素バリア膜29における絶縁性下部水素バリア膜19との接続部29aを、第3の層間絶縁膜23及び第4の層間絶縁膜28に設けた溝部28aの底面上に設ける構成とする。

【0100】

以下、前記のように構成された半導体装置の製造方法について図面を参照しながら説明する。ここでも、第1の実施形態に係る製造方法との相違点のみを説明する。

【0101】

図14～図16は本発明の第4の実施形態に係る半導体装置の製造方法の一部の工程の断面構成を示している。

【0102】

〔上部水素バリア膜形成〕

図14に示すように、CVD法により、第3の層間絶縁膜23の上に、キャパシタ27の上部電極26を含む全面にわたって酸化シリコンを堆積した後、CMP法により、堆積した酸化シリコンに対して第3の層間絶縁膜23の上に位置する上部電極26の上側部分の膜厚が約300nmとなるように平坦化して、酸化シリコンからなる第4の層間絶縁膜28を形成する。続いて、リソグラフィ法及びドライエッチング法により、第4の層間絶縁膜28及び第3の層間絶縁膜23に、キャパシタ列を囲むと共に絶縁性下部水素バリア膜19を露出する溝部28aを形成する。

【0103】

次に、図15に示すように、スパッタ法により、第4の層間層間絶縁膜28の上面に溝部28aの底面及び壁面上を含む全面にわたって、膜厚が約50nmの酸化チタンアルミニウムからなる上部水素バリア膜29を堆積する。これにより、上部水素バリア膜29には、絶縁性下部水素バリア膜19との接続部29aが、第4の層間層間絶縁膜28におけるキャパシタ列の外側に設けた溝部28aの底面に形成される。

## 【 0 1 0 4 】

次に、図 1 6 に示すように、上部水素バリア膜 2 9 における溝部 2 8 a の外側部分を選択的に除去する。その後、CVD法により、溝部 2 8 a を含む上部水素バリア膜 2 9 の上に全面にわたって酸化シリコンを堆積した後、CMP法により、堆積した酸化シリコンに対して上部水素バリア膜 2 9 の上側部分の膜厚が約 3 0 0 n m となるように平坦化して、酸化シリコンからなる第 5 の層間絶縁膜 3 0 を形成する。

## 【 0 1 0 5 】

なお、第 4 の実施形態においては、第 3 の層間絶縁膜 2 3 を堆積するよりも前に、絶縁性下部水素バリア膜 1 9 における溝部 2 8 a の形成領域よりも外側を除去するとよい。

## 【 0 1 0 6 】

このように、第 4 の実施形態によると、第 1 の実施形態と同様に、複数のキャパシタ 2 7 を含むキャパシタ列の下側を覆う絶縁性下部水素バリア膜 1 9 及び導電性下部水素バリア膜 2 1 と、キャパシタ列の上側及び側方を覆う上部水素バリア膜 2 9 とを有している。このため、単位セルごとに水素バリア膜を設ける場合と異なり、セル面積を大きくすることなく横方向（基板面に平行な方向）に対する水素バリア性を確保することができる。

## 【 0 1 0 7 】

その上、上部水素バリア膜 2 9 を絶縁性下部水素バリア膜 1 9 と接続するための接続部 2 9 a を形成する際に、第 4 の層間絶縁膜 2 8 及び第 3 の層間絶縁膜 2 3 に対して溝部 2 8 a を設ける構成としている。その結果、半導体基板 1 0 の上には、第 4 の層間絶縁膜 2 8 及び第 3 の層間絶縁膜 2 3 の大部分が除去されずに残るため、上部水素バリア膜 2 9 をパターニングする際に、キャパシタ列の上に形成するレジストパターンの膜厚が小さくなることがない。その上、上部水素バリア膜 2 9 を覆う第 5 の層間絶縁膜 3 0 の平坦度も向上する。

## 【 0 1 0 8 】

なお、第 4 の実施形態においても、第 2 の実施形態のように絶縁性下部水素バリア膜を、導電性下部水素バリア膜の端面と接続する構成としても良く、また、

第 3 の実施形態のように第 2 プラグの底面及び側面に形成する構成としても良い。

【 0 1 0 9 】

(第 5 の実施形態)

以下、本発明の第 5 の実施形態について図面を参照しながら説明する。

【 0 1 1 0 】

図 1 7 は本発明の第 5 の実施形態に係る半導体装置の部分的な断面構成を示している。ここで、図 1 7 において、図 1 に示す構成部材と同一の構成部材には同一の符号を付すことにより説明を省略する。

【 0 1 1 1 】

第 5 の実施形態に係る半導体装置は、上部水素バリア膜 2 9 を、キャパシタ列の下側に設けられた絶縁性下部水素バリア膜 1 9 と直接に接続する代わりに、キャパシタ列が配置される第 3 の層間絶縁膜 2 3 におけるキャパシタ列の外側の領域に絶縁性下部水素バリア膜 1 9 を露出する溝部 2 3 b を形成し、形成された溝部 2 3 b の底面及び壁面上に、膜厚が約 5 0 n m の酸化チタンアルミニウムからなる側壁水素バリア膜 4 9 を形成する構成とする。これにより、側壁水素バリア膜 4 9 には、溝部 2 3 b の底部に第 1 の接続部 4 9 a が形成される。

【 0 1 1 2 】

さらに、上部水素バリア膜 2 9 と側壁水素バリア膜 4 9 の外側部分とに第 2 の接続部 2 9 a が設けられている。これにより、キャパシタ列は、絶縁性下部水素バリア膜 1 9 、導電性下部水素バリア膜 2 1 、側壁水素バリア膜 4 9 及び上部水素バリア膜 2 9 により覆われる。

【 0 1 1 3 】

図 1 8 ～図 2 0 は本発明の第 5 の実施形態に係る半導体装置の製造方法の一部の工程の断面構成を示している。

【 0 1 1 4 】

[上部水素バリア膜形成]

図 1 8 に示すように、リソグラフィ法及びドライエッチング法により、第 3 の層間絶縁膜 2 3 に対してキャパシタ列を囲み且つ絶縁性下部水素バリア膜 1 9 を

露出する溝部 2 3 b を形成する。

【 0 1 1 5 】

次に、図 1 9 に示すように、スパッタ法により、第 3 の層間絶縁膜 2 3 における溝部 2 3 b の底面及び壁面上に、膜厚が約 5 0 n m の酸化チタンアルミニウムからなる側壁水素バリア膜 4 9 を堆積する。これにより、堆積した側壁水素バリア膜 4 9 は溝部 2 3 b の底部で絶縁性下部水素バリア膜 1 9 と接続される第 1 の接続部 4 9 a が形成される。続いて、側壁水素バリア膜 4 9 に対して溝部 2 3 b を含む領域でパターニングする。

【 0 1 1 6 】

次に、図 2 0 に示すように、CVD 法により、第 3 の層間絶縁膜 2 3 の上に、キャパシタ 2 7 の上部電極 2 6 及び側壁水素バリア膜 4 9 を含む全面にわたって酸化シリコンを堆積した後、CMP 法により、堆積した酸化シリコンに対して、第 3 の層間絶縁膜 2 3 の上に位置する上部電極 2 6 の上側部分の膜厚が約 3 0 0 n m となるように平坦化して、酸化シリコンからなる第 4 の層間絶縁膜 2 8 を形成する。続いて、リソグラフィ法及びドライエッチング法により、第 4 の層間絶縁膜 2 8 におけるキャパシタ列を覆う領域をマスクしてその外側部分を除去することにより、側壁水素バリア膜 4 9 の外側の上端部を露出する。続いて、スパッタ法により、第 4 の層間層間絶縁膜 2 8 の上面、第 3 の層間絶縁膜 2 3 の上面並びに側壁水素バリア膜 4 9 の露出面上に、膜厚が約 5 0 n m の酸化チタンアルミニウムからなる上部水素バリア膜 2 9 を堆積する。これにより、上部水素バリア膜 2 9 は側壁水素バリア膜 4 9 と接続する。その後、上部水素バリア膜 2 9 における第 2 の接続部 2 9 a の幅を約 5 0 0 n m だけ残すように、上部水素バリア膜 2 9 及び側壁水素バリア膜 4 9 におけるキャパシタ列の外側部分をドライエッチングにより除去する。続いて、CVD 法により、上部水素バリア膜 2 9 及び第 3 の層間絶縁膜 2 3 の上に全面にわたって酸化シリコンを堆積した後、CMP 法により、堆積した酸化シリコンに対して上部水素バリア膜 2 9 の上側部分の膜厚が約 3 0 0 n m となるように平坦化して、酸化シリコンからなる第 5 の層間絶縁膜 3 0 を形成する。

【 0 1 1 7 】

なお、第5の実施形態においては、第3の層間絶縁膜23を堆積するよりも前に、絶縁性下部水素バリア膜19における溝部23bの形成領域よりも外側を除去するとよい。

## 【0118】

このように、第5の実施形態によると、複数のキャパシタ27を含むキャパシタ列の下側を覆う絶縁性下部水素バリア膜19及び導電性下部水素バリア膜21と、キャパシタ列の側方を覆う側壁水素バリア膜49と、キャパシタ列の上方を覆う上部水素バリア膜29とを有している。このため、単位セルごとに水素バリア膜を設ける場合と異なり、セル面積を大きくすることなく横方向（基板面に平行な方向）に対する水素バリア性を確保することができる。

## 【0119】

その上、側壁水素バリア膜49は、上部水素バリア膜29と独立しており共用しない構成であるため、各キャパシタ27の段差が比較的に大きい場合であっても、上部水素バリア膜29のカバレッジが良好となる。

## 【0120】

なお、第5の実施形態においても、第2の実施形態のように絶縁性下部水素バリア膜を、導電性下部水素バリア膜の端面と接続する構成としても良く、また、第3の実施形態のように第2プラグの底面及び側面に形成する構成としても良い。

## 【0121】

また、第1～第5の各実施形態においては、絶縁性を有する水素バリア層に酸化チタンアルミニウム ( $\text{TiAlO}$ ) を用いたが、これに代えて、酸化アルミニウム ( $\text{Al}_2\text{O}_3$ ) 又は酸化タンタルアルミニウム ( $\text{TaAlO}$ ) を用いても良い。また、これらのうちの少なくとも2つを含む積層膜としても良い。

## 【0122】

また、各実施形態においては、導電性を有するバリア層に窒化チタンアルミニウム ( $\text{TiAlN}$ ) を用いたが、これに代えて、チタンアルミニウム ( $\text{TiAl}$ )、窒化珪化チタン ( $\text{TiSiN}$ )、窒化タンタル ( $\text{TaN}$ )、窒化珪化タンタル ( $\text{TaSiN}$ )、窒化タンタルアルミニウム ( $\text{TaAlN}$ ) 及びタンタルアル

ミニウム (TaAl) のうちのいずれか 1 つ、又はこれらのうちの少なくとも 2 つを含む積層膜としても良い。

【0 1 2 3】

【発明の効果】

本発明に係る半導体装置及びその製造方法によると、複数のキャパシタを含むキャパシタ列は上下を含めその周囲を水素バリア膜により覆われているため、各キャパシタを構成する容量絶縁膜の水素による劣化を防止することができる。その上、水素バリア膜は、個々のキャパシタを覆うのではなく、キャパシタ列を覆うため、単位セルの面積を小さくすることができる。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施形態に係る半導体装置を示す部分的な構成断面図である。

【図 2】

(a) ～ (c) は本発明の第 1 の実施形態に係る半導体装置の製造方法を示す工程順の構成断面図である。

【図 3】

(a) 及び (b) は本発明の第 1 の実施形態に係る半導体装置の製造方法を示す工程順の構成断面図である。

【図 4】

本発明の第 1 の実施形態に係る半導体装置の製造方法を示す工程順の構成断面図である。

【図 5】

本発明の第 1 の実施形態に係る半導体装置の製造方法を示す工程順の構成断面図である。

【図 6】

本発明の第 1 の実施形態に係る半導体装置の製造方法を示す工程順の構成断面図である。

【図 7】

本発明の第 2 の実施形態に係る半導体装置を示す部分的な構成断面図である。



【図 8】

(a) 及び (b) は本発明の第 2 の実施形態に係る半導体装置の製造方法を示す一部の工程の構成断面図である。

【図 9】

本発明の第 2 の実施形態に係る半導体装置の製造方法を示す一工程の構成断面図である。

【図 1 0】

本発明の第 3 の実施形態に係る半導体装置を示す部分的な構成断面図である。

【図 1 1】

(a) 及び (b) は本発明の第 3 の実施形態に係る半導体装置の製造方法を示す一部の工程の構成断面図である。

【図 1 2】

本発明の第 3 の実施形態に係る半導体装置の製造方法を示す一工程の構成断面図である。

【図 1 3】

本発明の第 4 の実施形態に係る半導体装置を示す部分的な構成断面図である。

【図 1 4】

本発明の第 4 の実施形態に係る半導体装置の製造方法を示す一工程の構成断面図である。

【図 1 5】

本発明の第 4 の実施形態に係る半導体装置の製造方法を示す一工程の構成断面図である。

【図 1 6】

本発明の第 4 の実施形態に係る半導体装置の製造方法を示す一工程の構成断面図である。

【図 1 7】

本発明の第 5 の実施形態に係る半導体装置を示す部分的な構成断面図である。

【図 1 8】

本発明の第 5 の実施形態に係る半導体装置の製造方法を示す一工程の構成断面

図である。

【図 1 9】

本発明の第 5 の実施形態に係る半導体装置の製造方法を示す一工程の構成断面図である。

【図 2 0】

本発明の第 5 の実施形態に係る半導体装置の製造方法を示す一工程の構成断面図である。

【図 2 1】

(a) ～ (c) は従来の強誘電体又は高誘電体を用いた容量絶縁膜を有する半導体装置の製造方法を示す工程順のの構成断面図である。

【図 2 2】

(a) 及び (b) は従来の強誘電体又は高誘電体を用いた容量絶縁膜を有する半導体装置の製造方法を示す工程順のの構成断面図である。

【符号の説明】

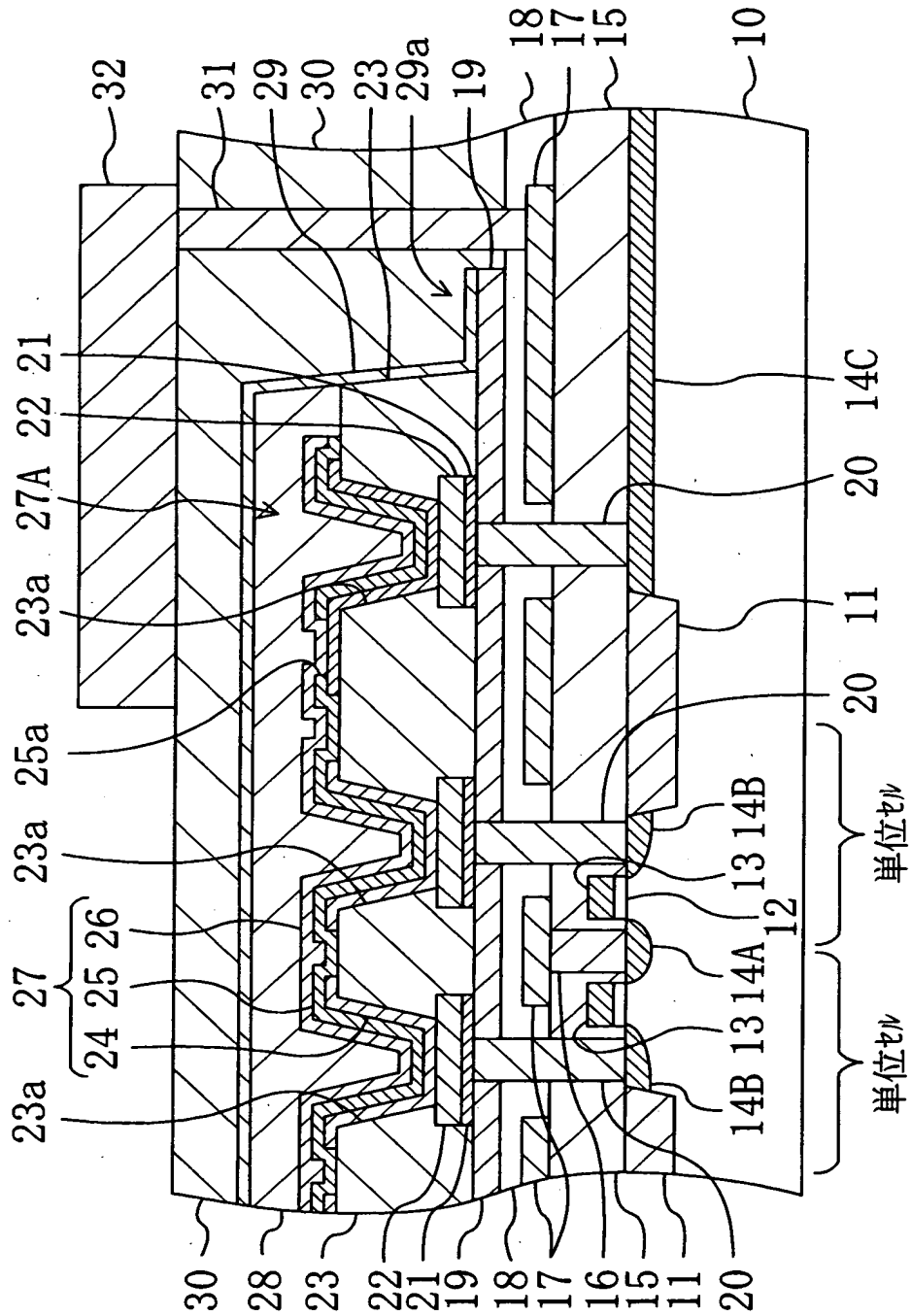
- 1 0        半導体基板
- 1 1        素子分離領域
- 1 2        ゲート絶縁膜
- 1 3        ゲート電極
- 1 4 A      ドレイン拡散層
- 1 4 B      ソース拡散層
- 1 4 C      配線用拡散層
- 1 5        第 1 の層間絶縁膜
- 1 6        第 1 プラグ
- 1 7        ビット線
- 1 8        第 2 の層間絶縁膜
- 1 9        絶縁性下部水素バリア膜
- 1 9 a      コンタクトホール
- 2 0        第 2 プラグ
- 2 1        導電性下部水素バリア膜

- 2 2      酸素バリア膜
- 2 3      第 3 の層間絶縁膜
- 2 3 a    コンタクトホール
- 2 3 b    溝部
- 2 4      下部電極
- 2 5      容量絶縁膜
- 2 5 a    開口部
- 2 6      上部電極
- 2 7      キャパシタ
- 2 7 A    ダミーキャパシタ
- 2 8      第 4 の層間絶縁膜
- 2 8 a    溝部
- 2 9      上部水素バリア膜
- 2 9 a    接続部
- 2 9 a    第 2 の接続部
- 3 0      第 5 の層間絶縁膜
- 3 1      第 3 プラグ
- 3 2      配線
- 3 9      絶縁性下部水素バリア膜
- 4 0      第 2 プラグ
- 4 0 a    導電性下部水素バリア膜
- 4 0 b    プラグ本体
- 4 9      側壁水素バリア膜
- 4 9 a    第 1 の接続部

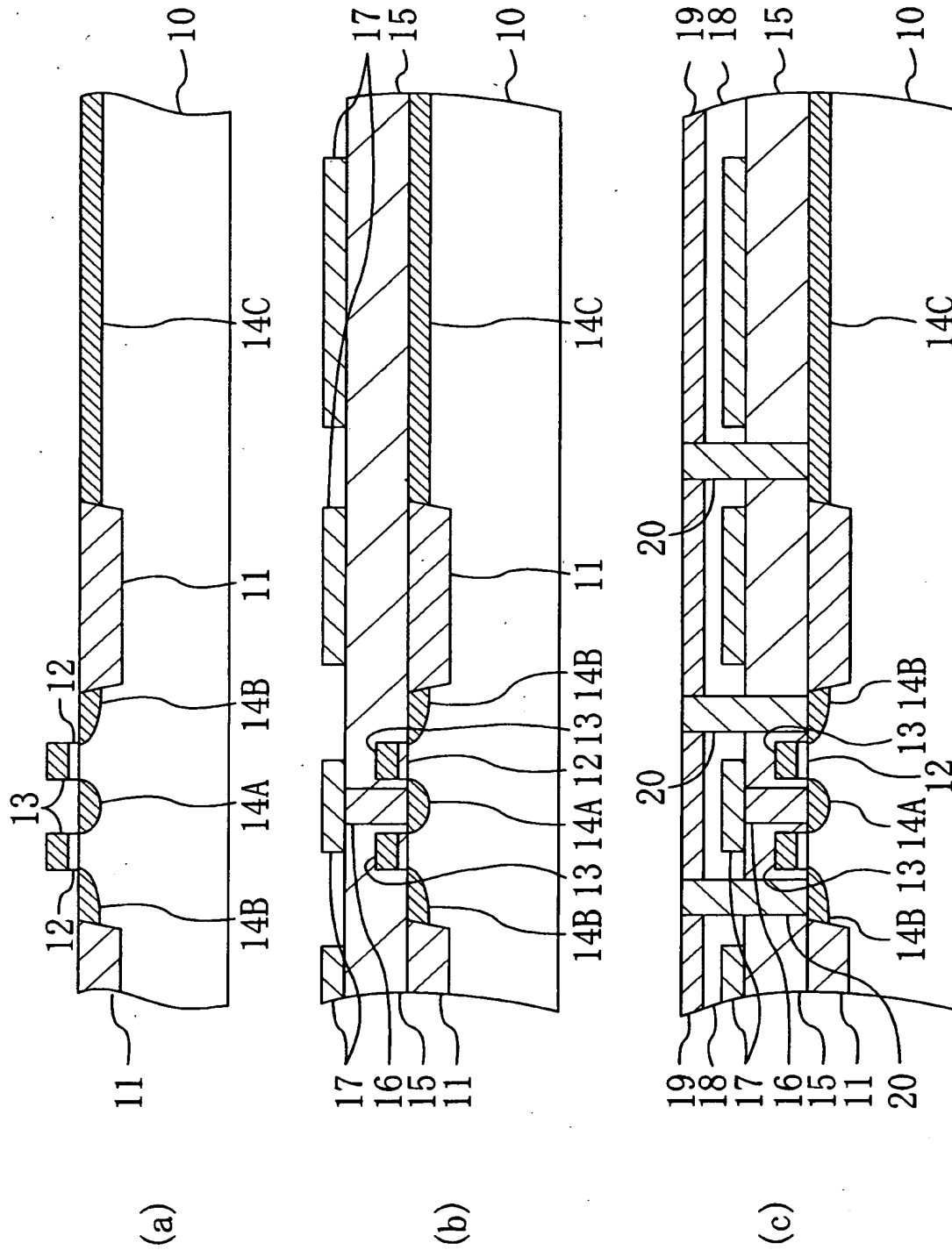
【書類名】

図面

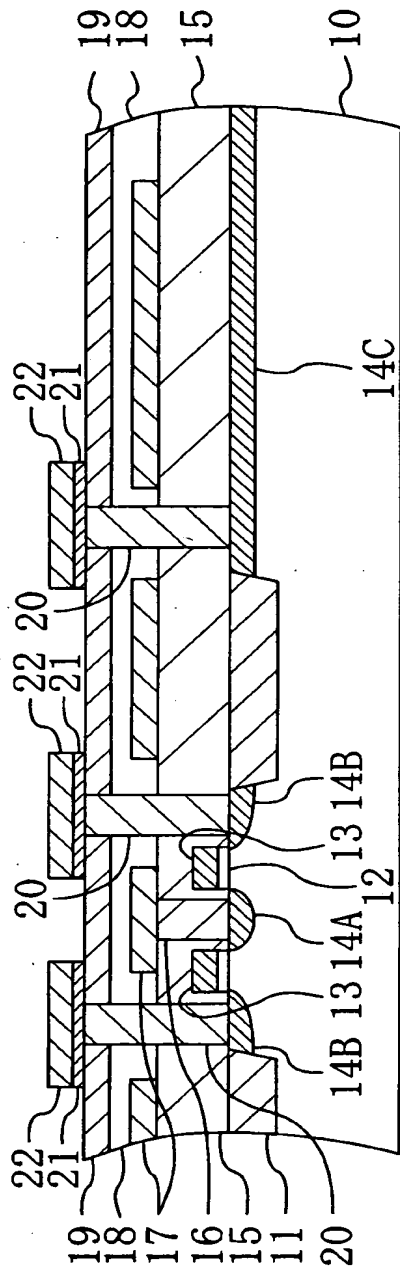
【図 1】



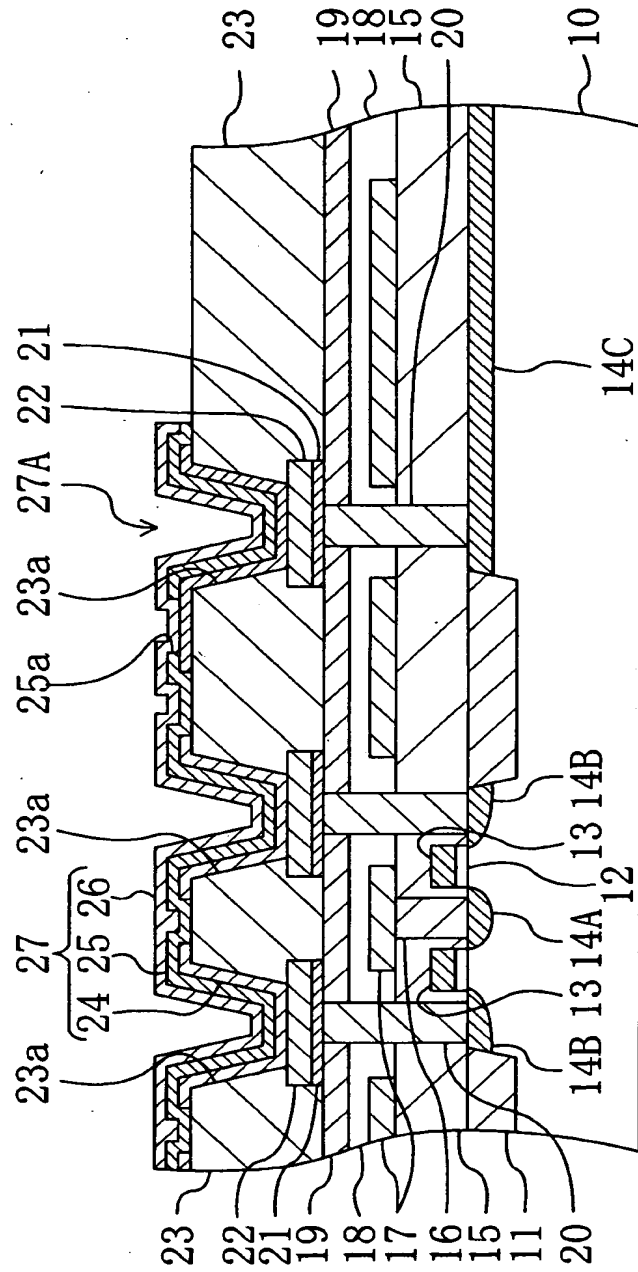
【図2】



【図 3】

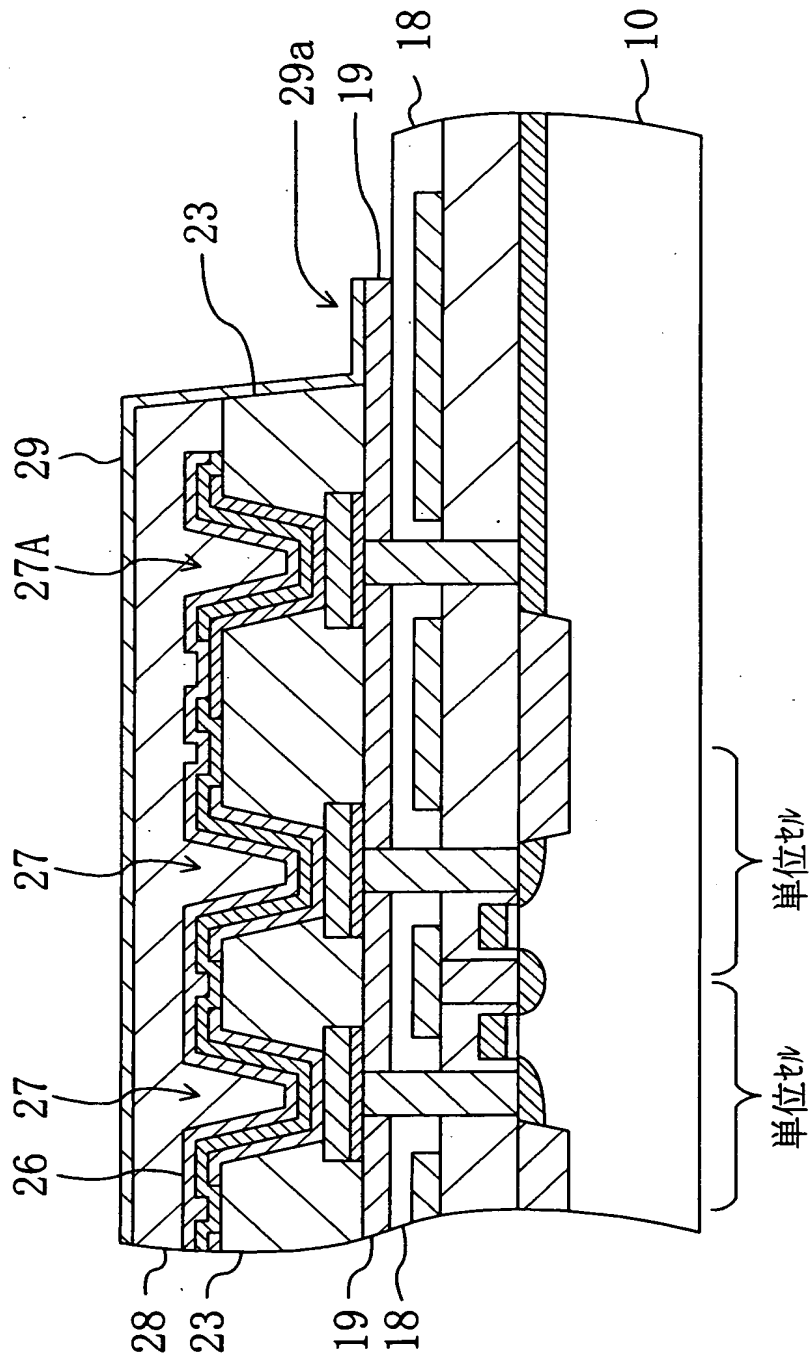


(a)

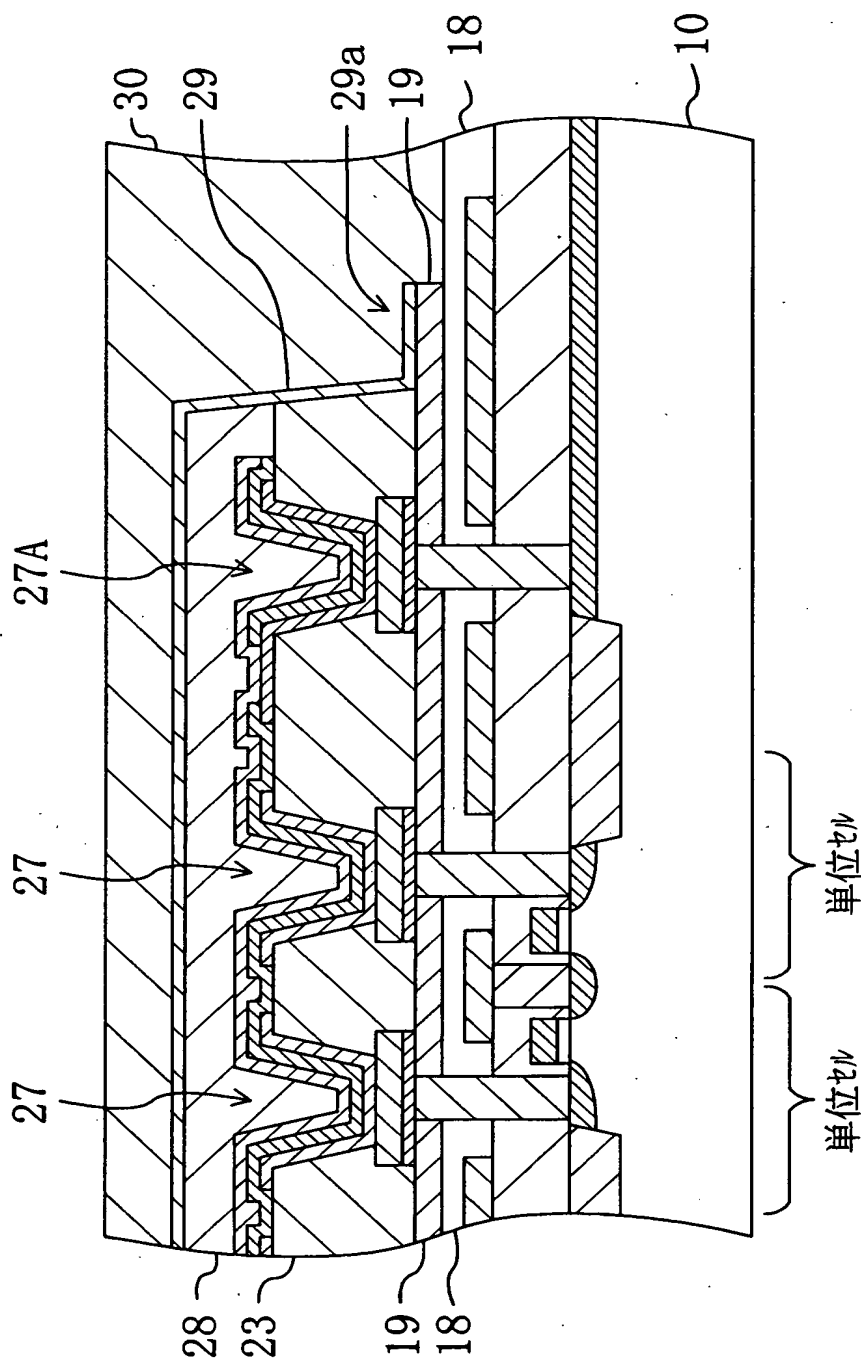


(b)

【図4】

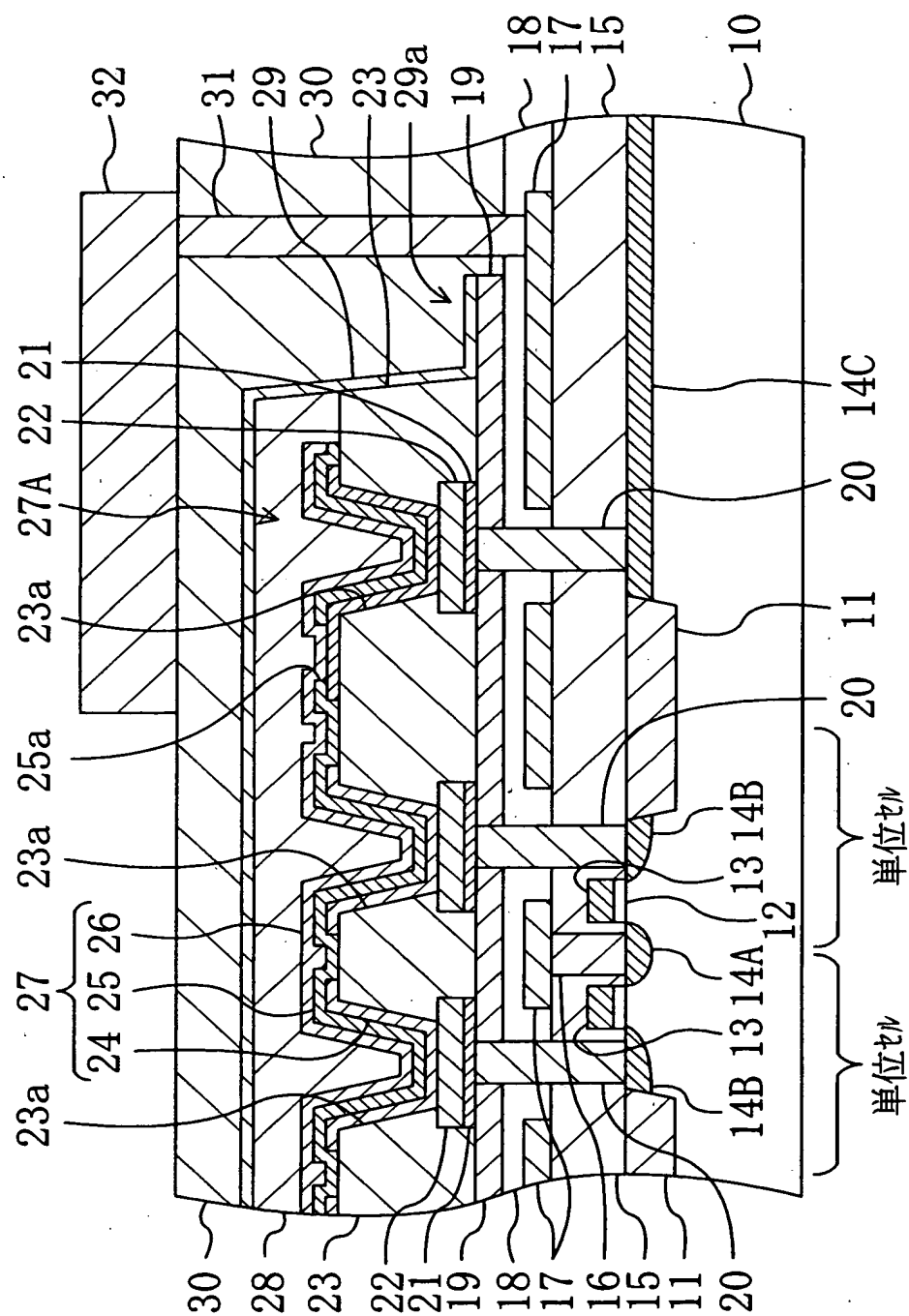


【図5】

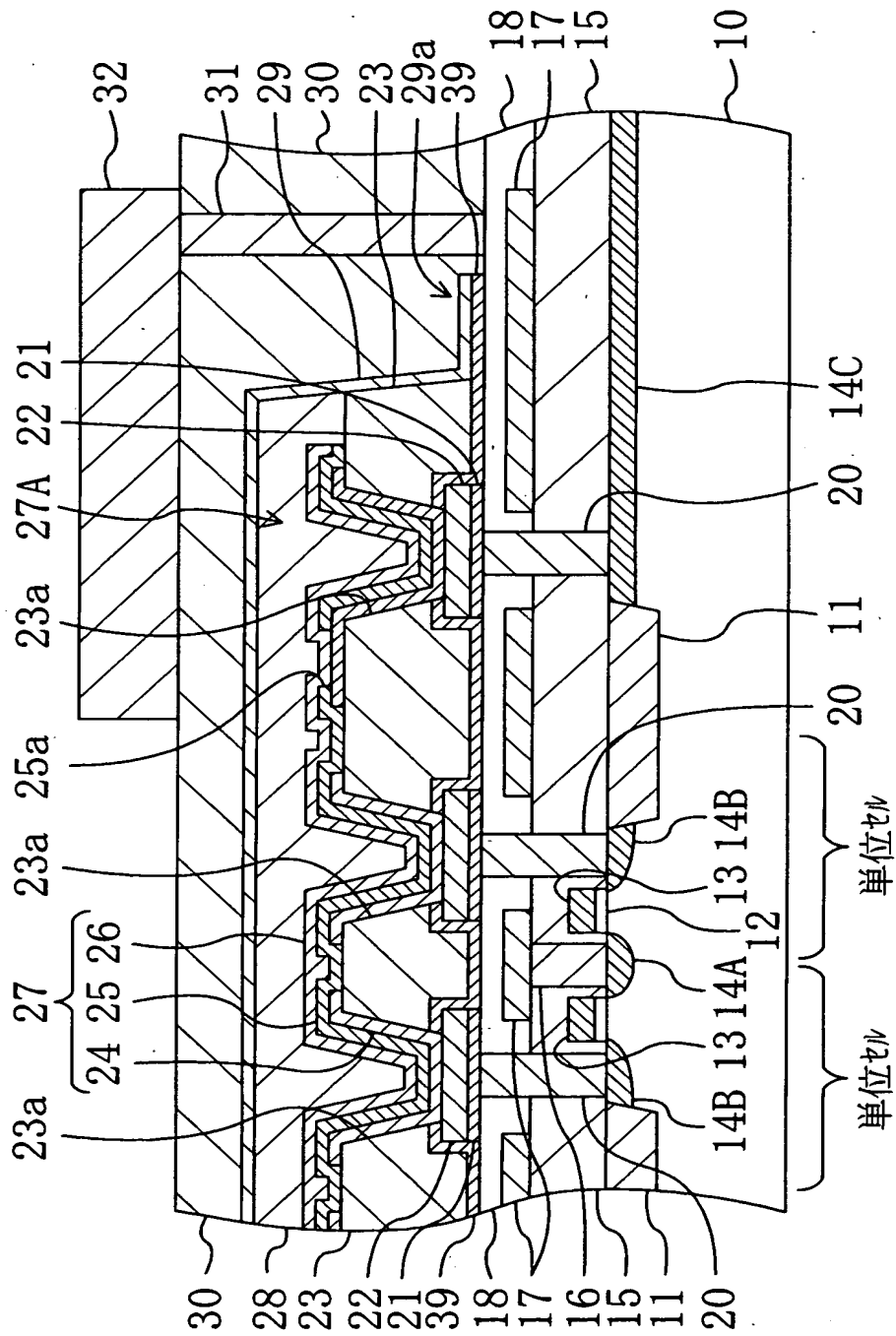




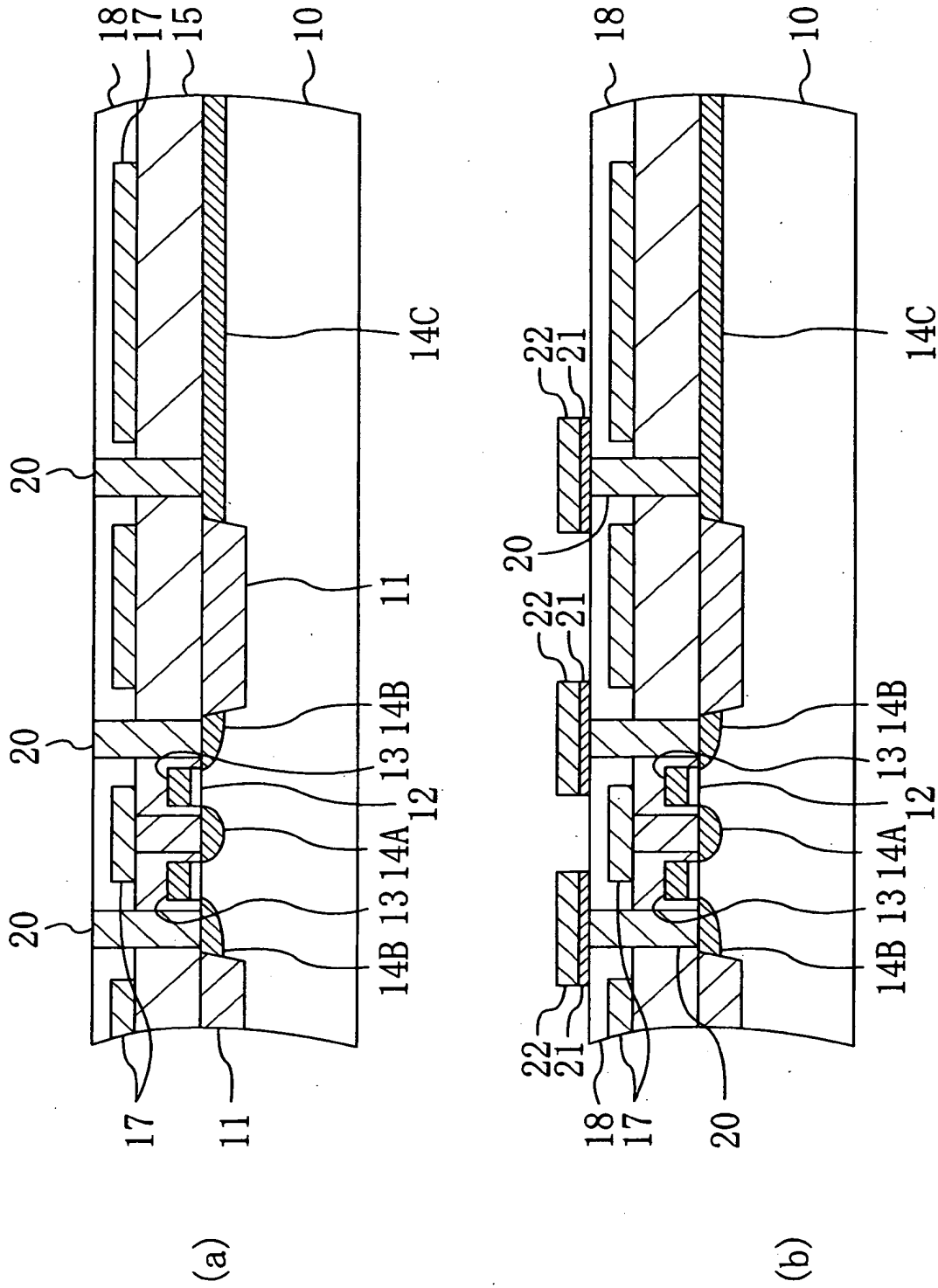
【図6】



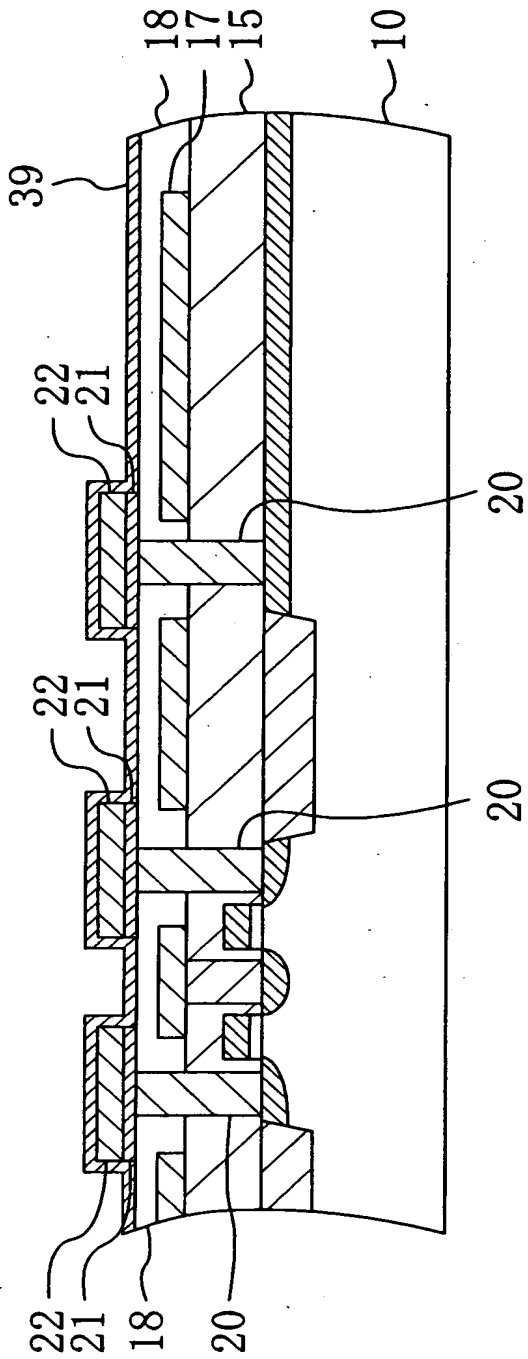
【図 7】



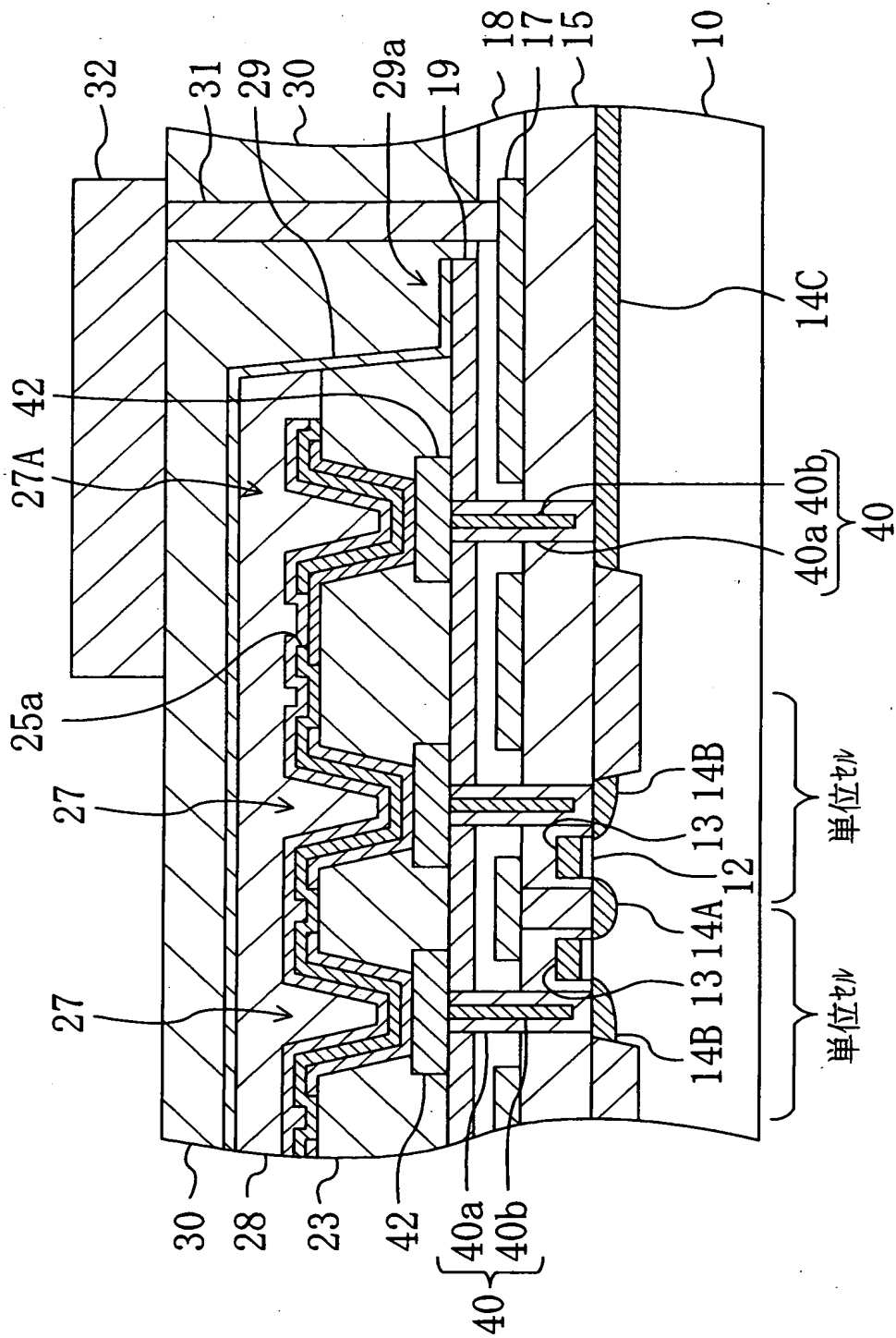
【図8】



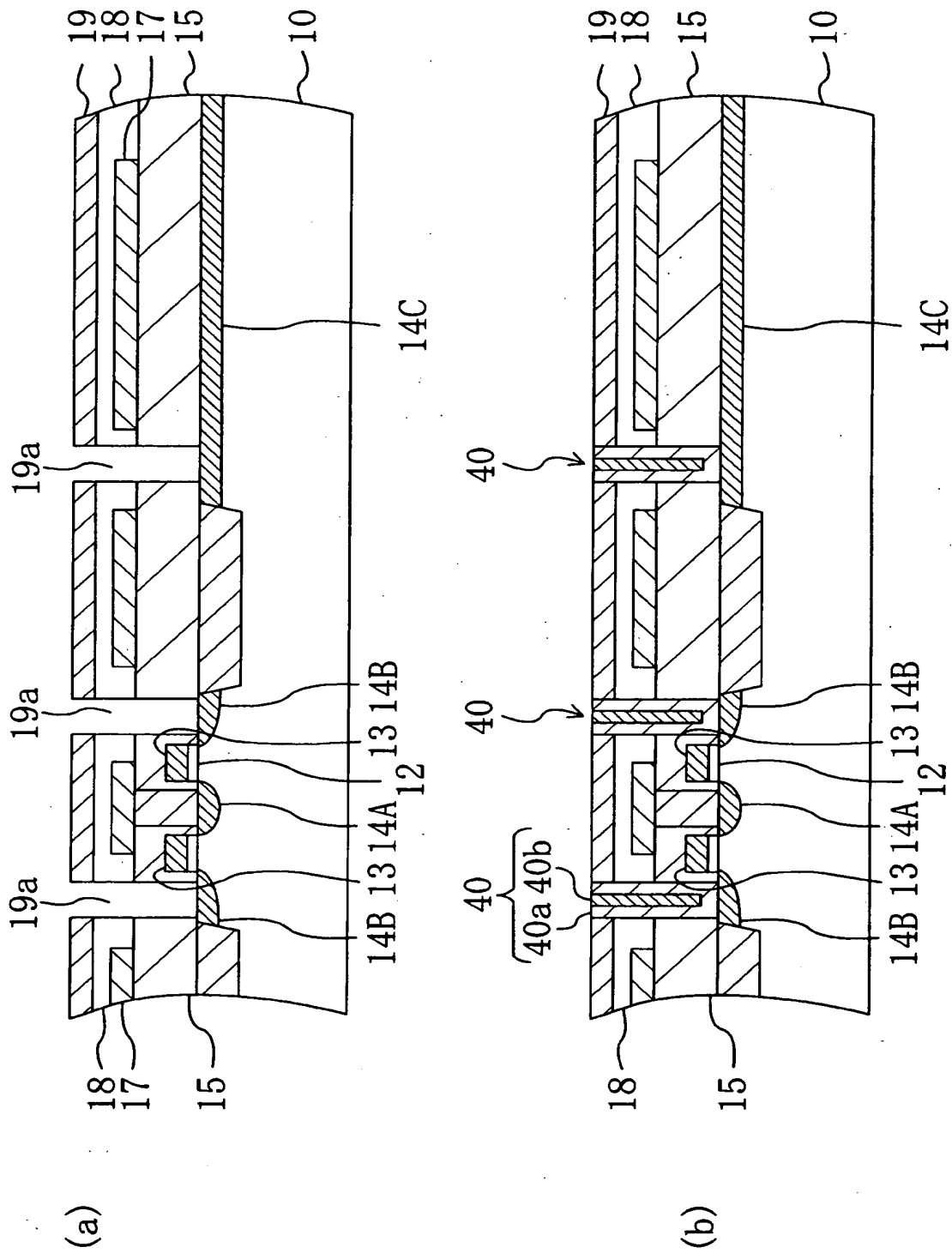
【図 9】



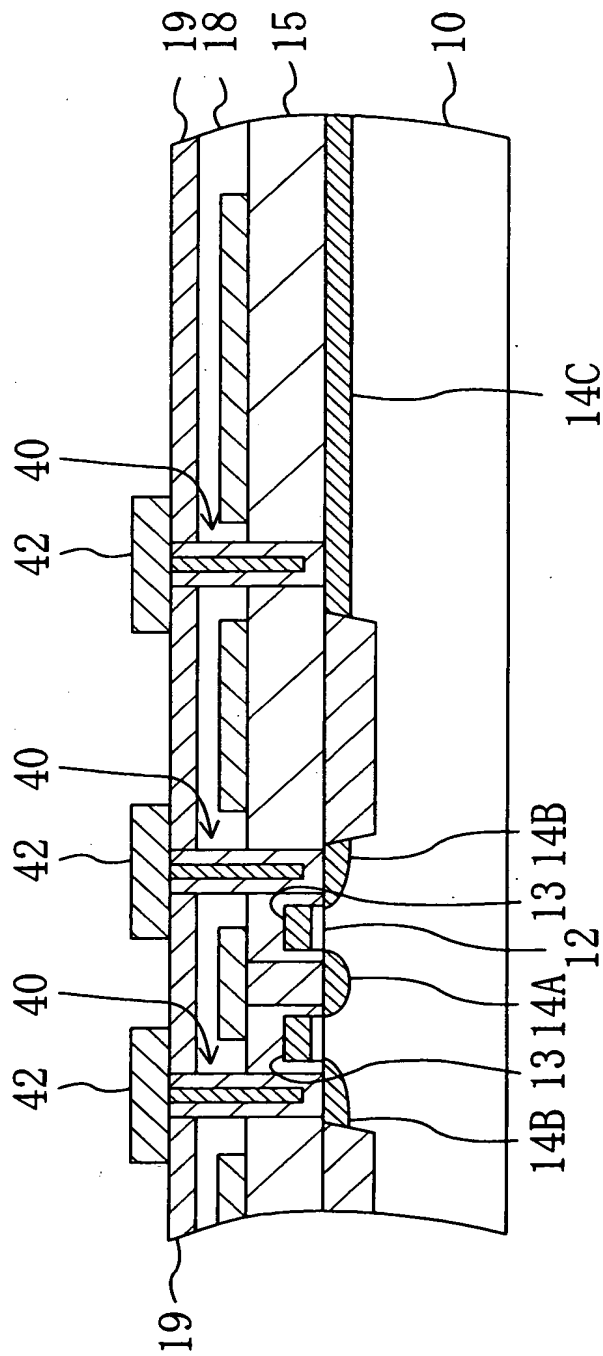
【図10】



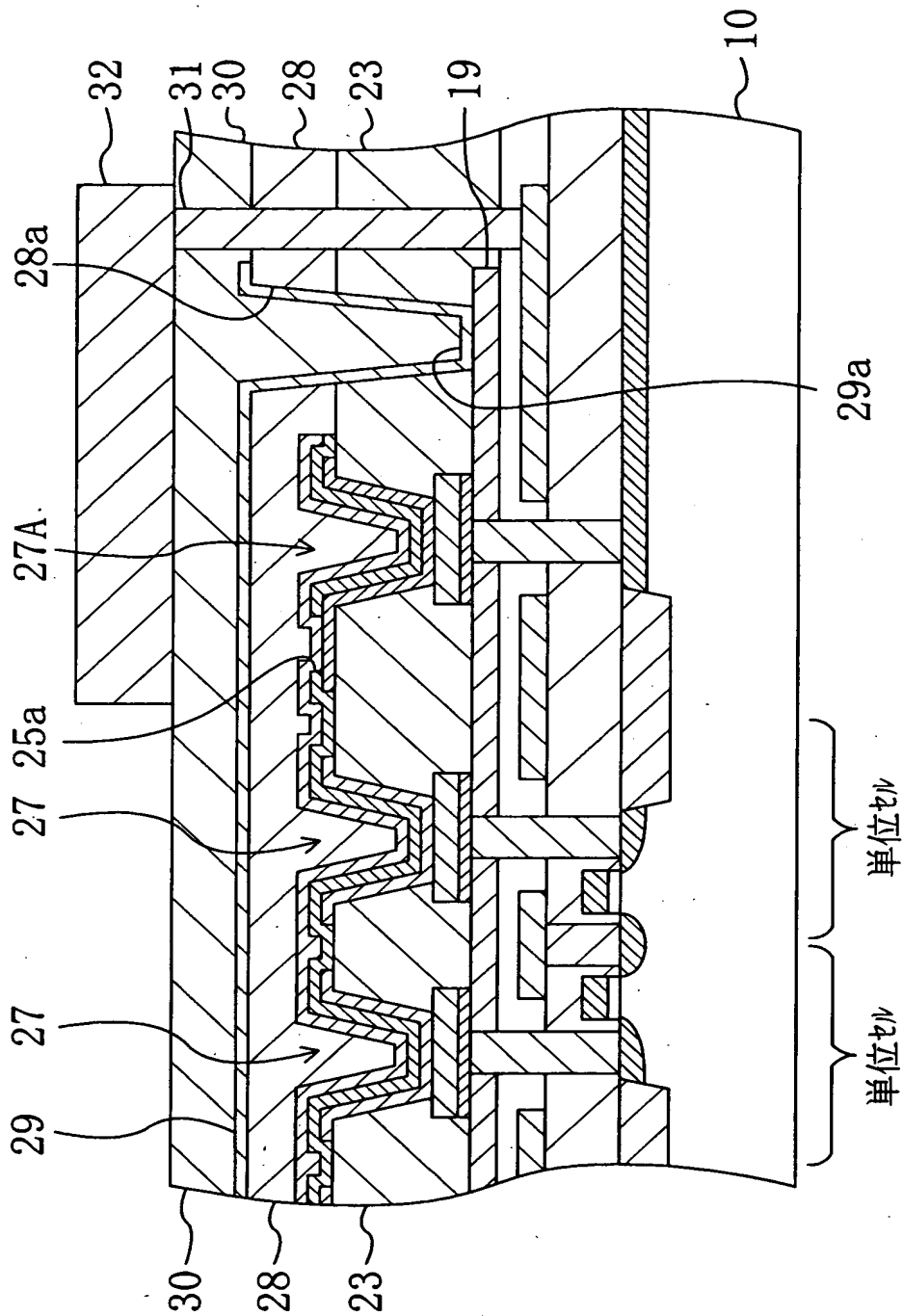
【図 11】



【図 12】

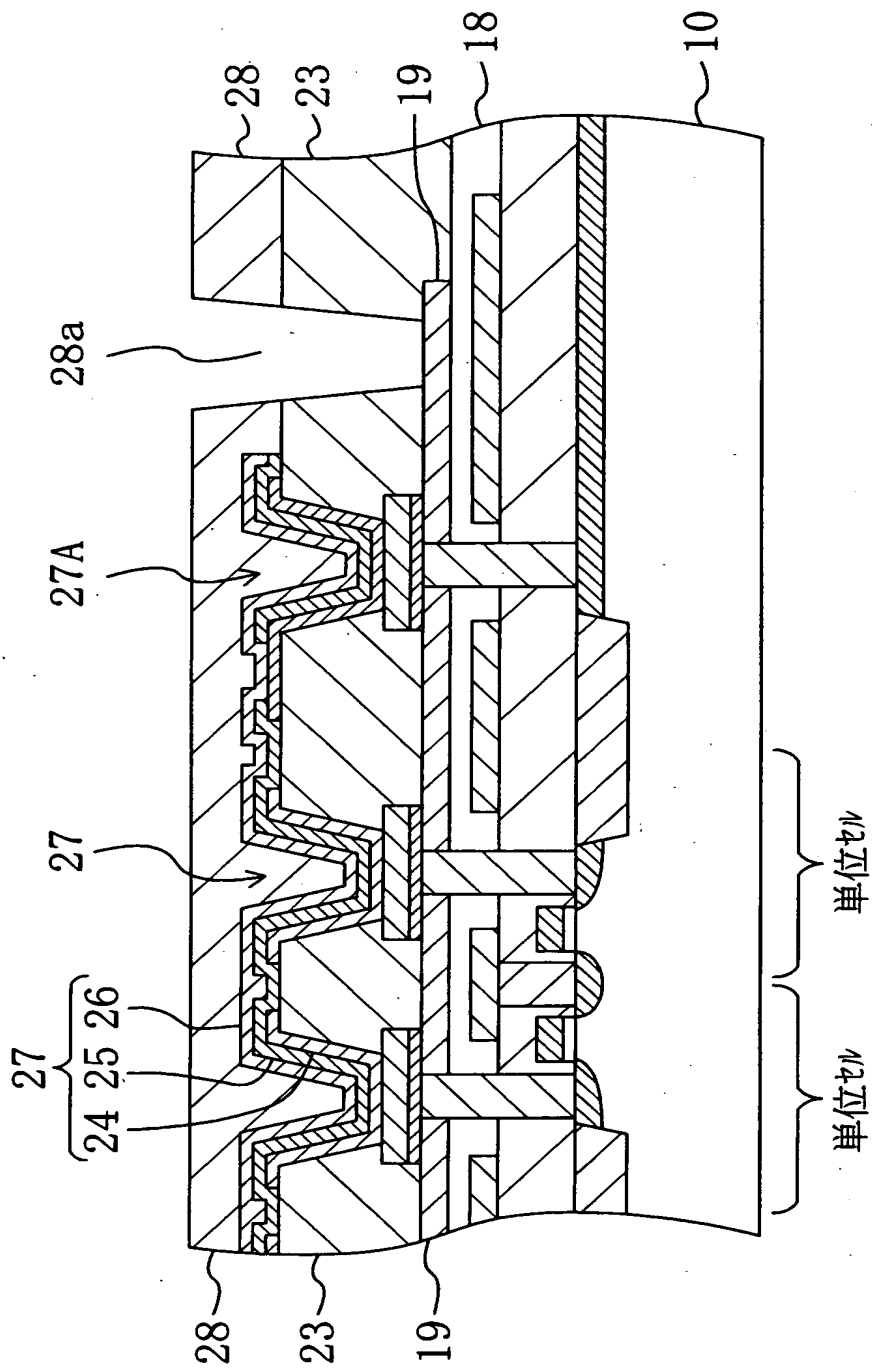


【図 13】

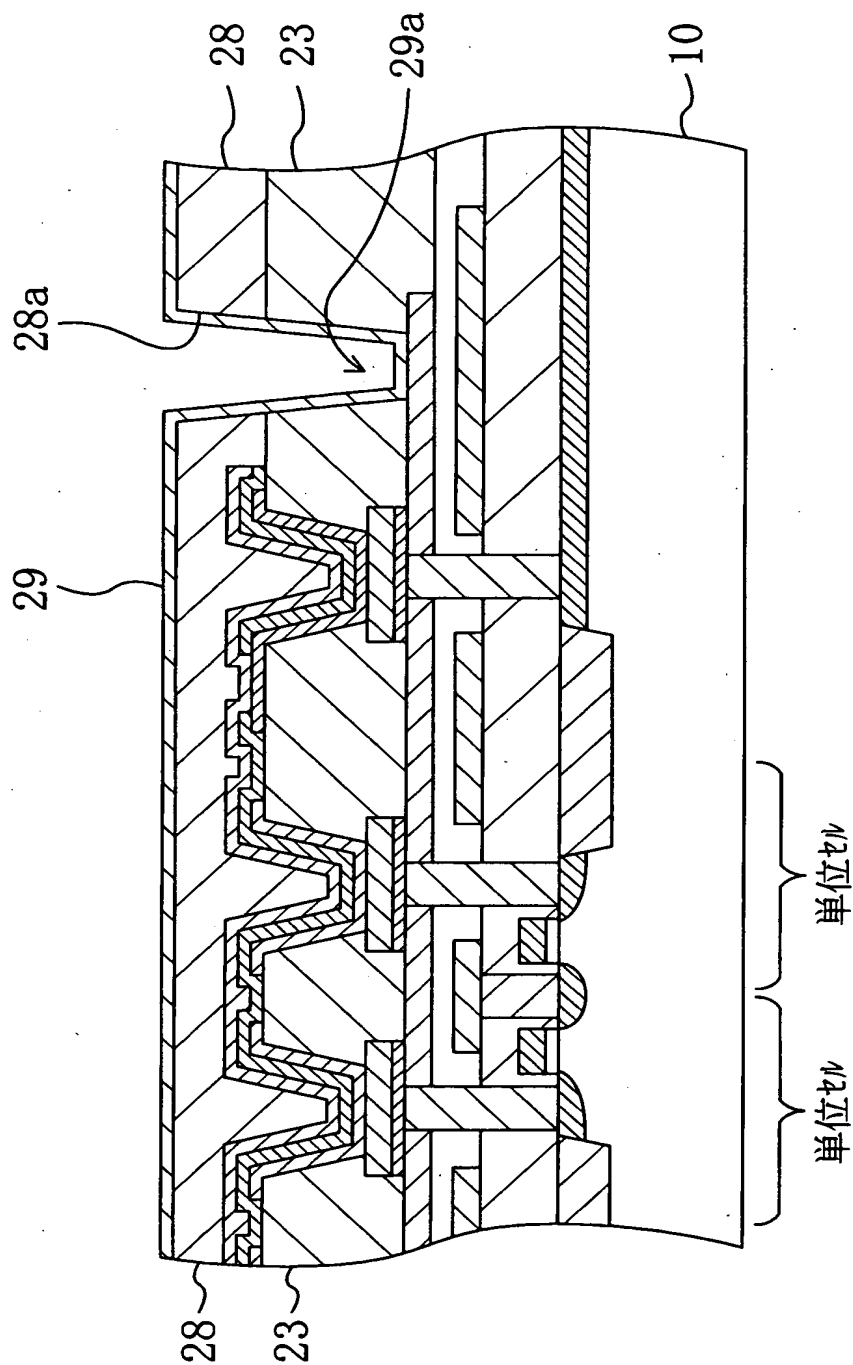




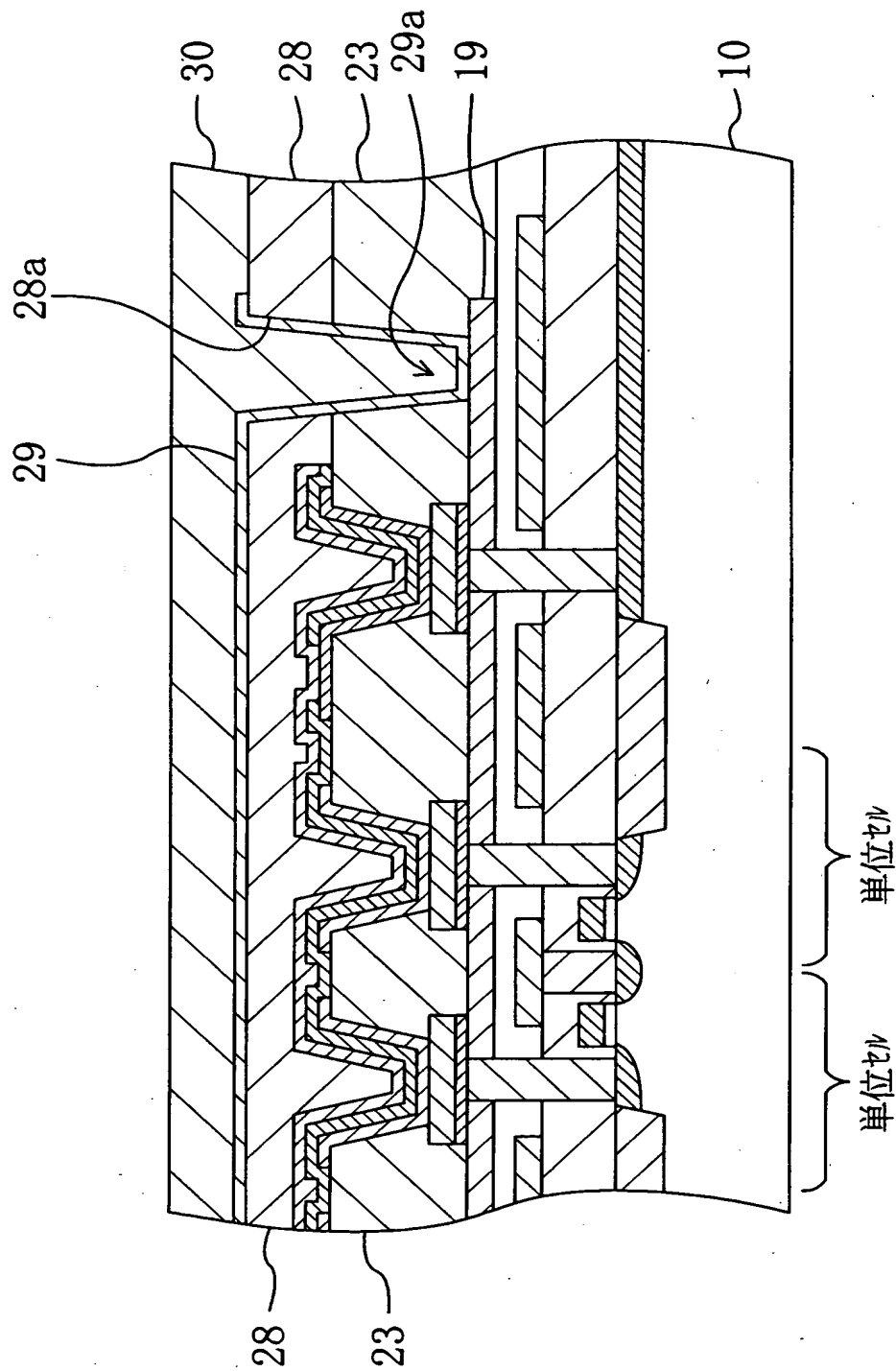
【図14】



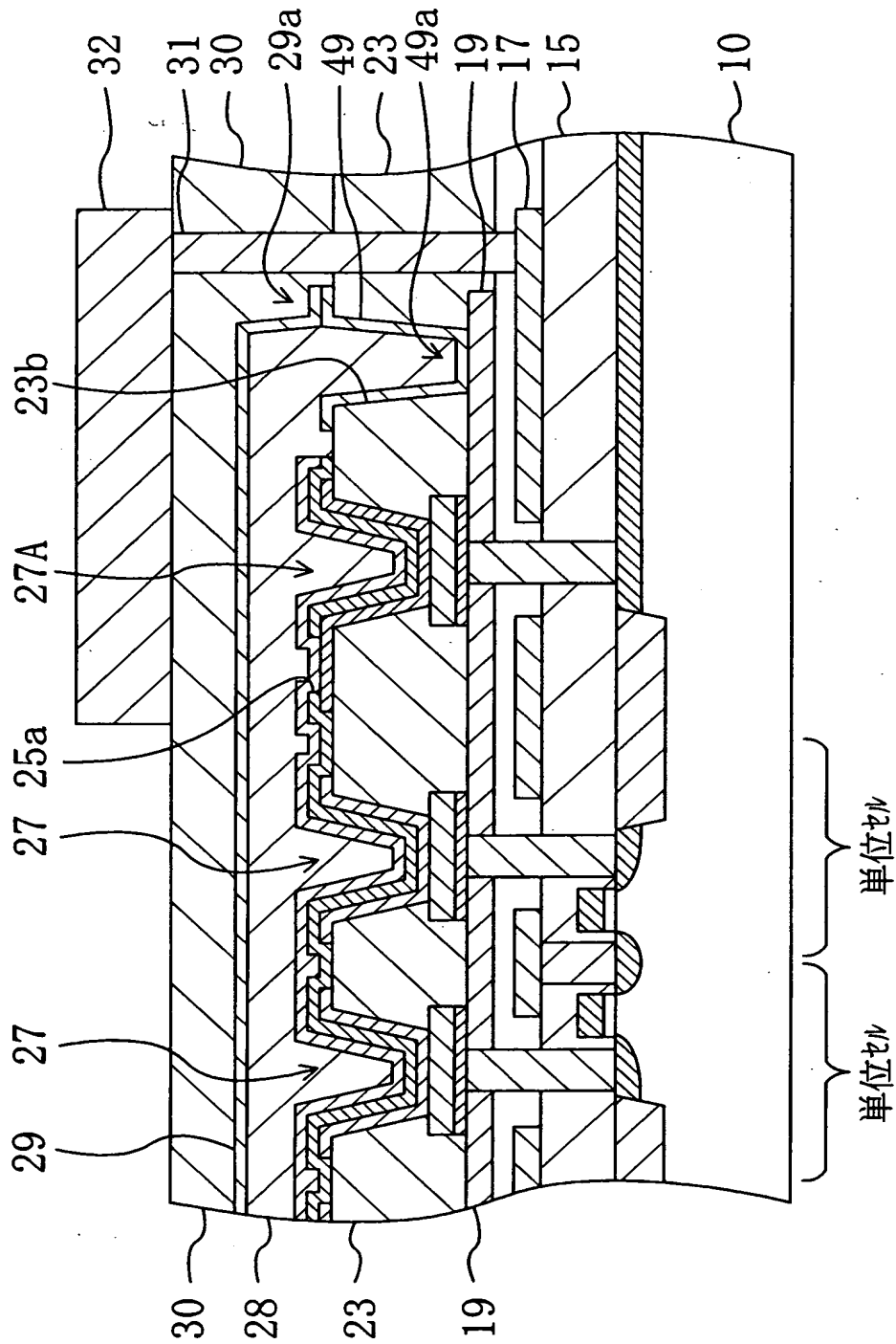
【図15】



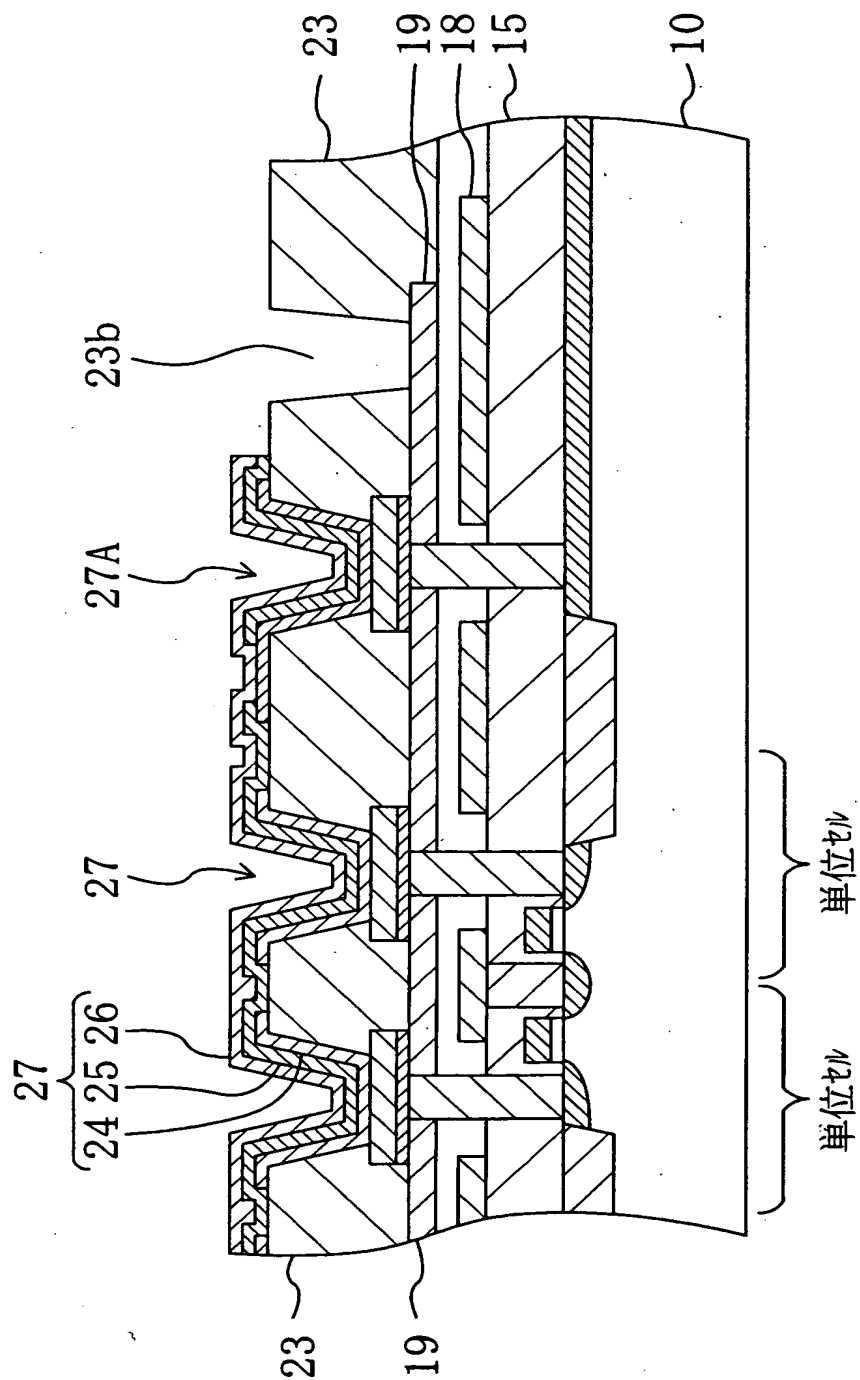
【図 16】



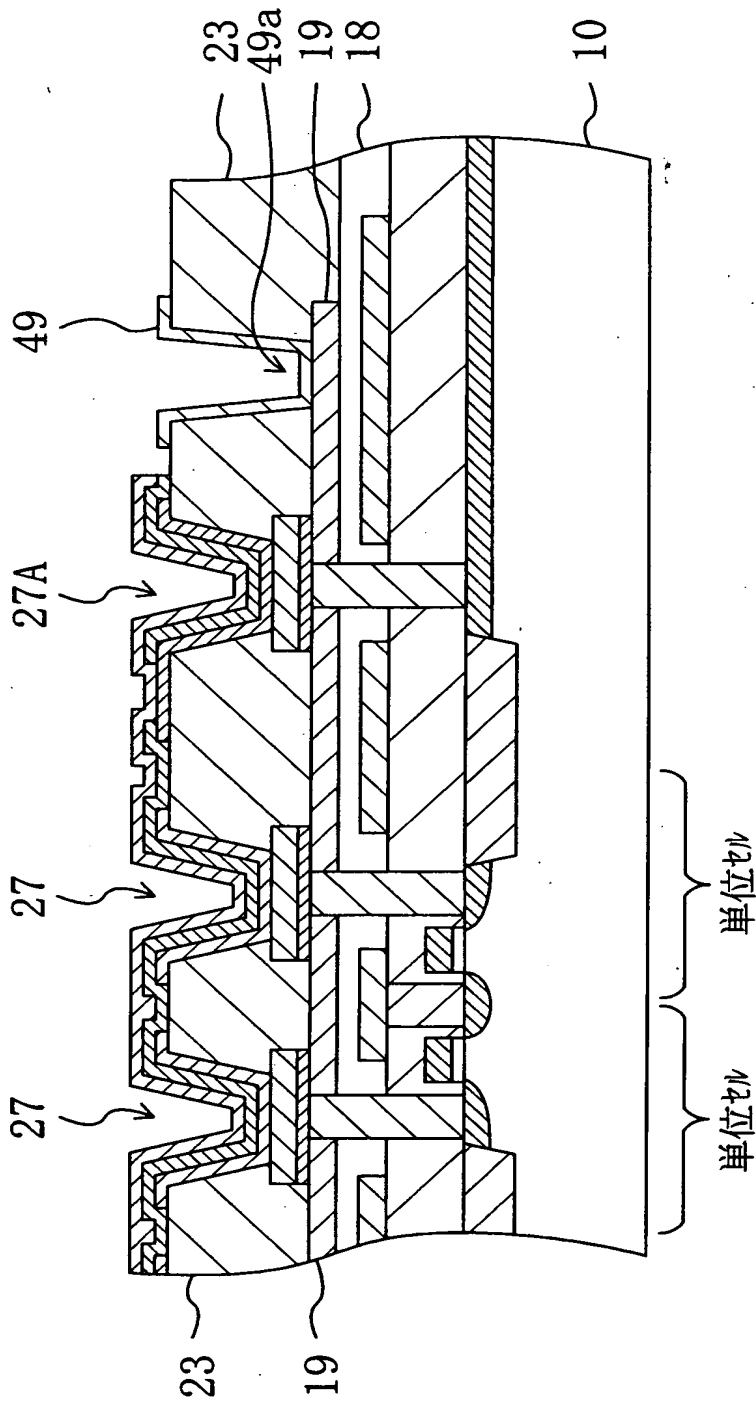
【図 17】



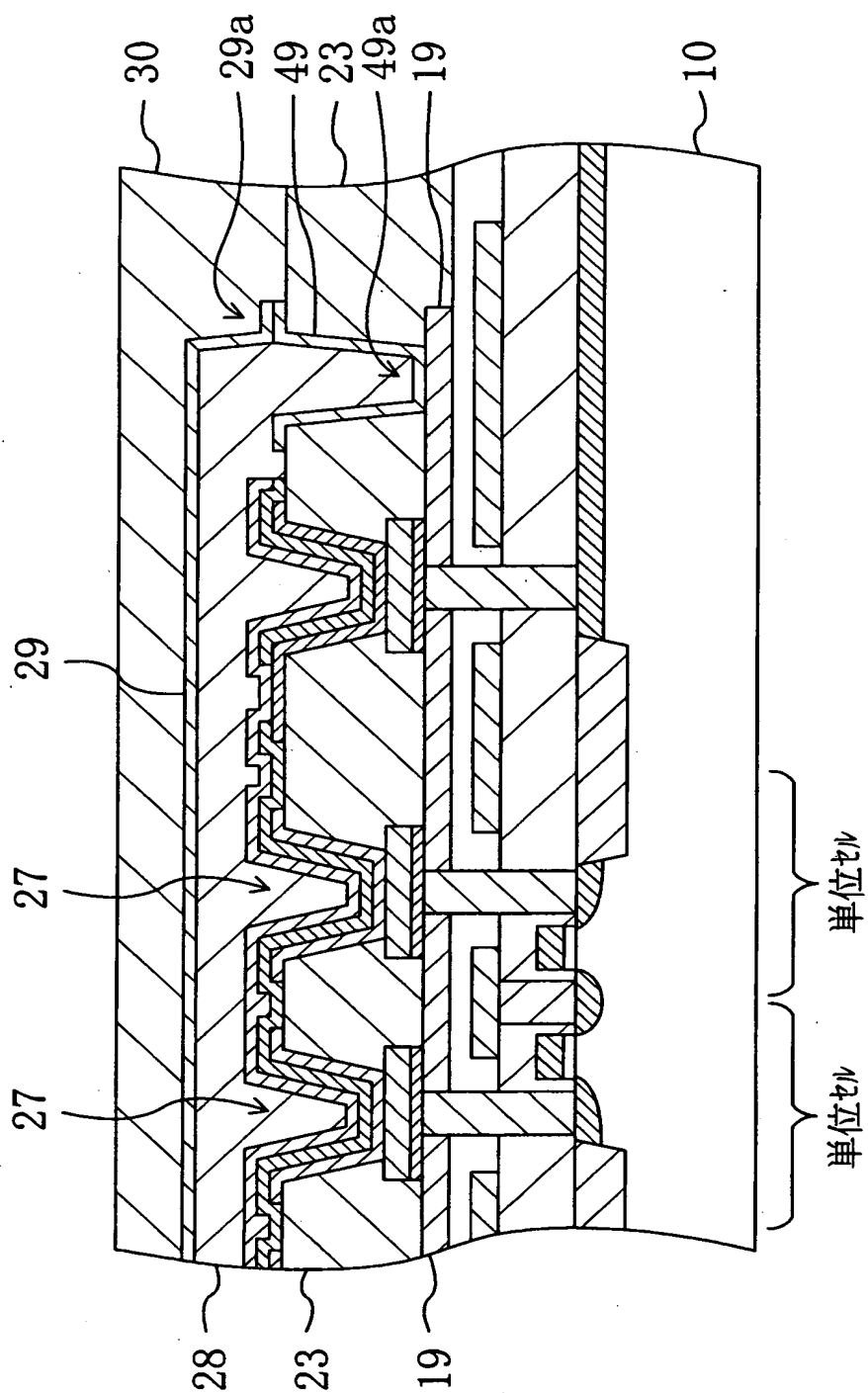
【図 18】



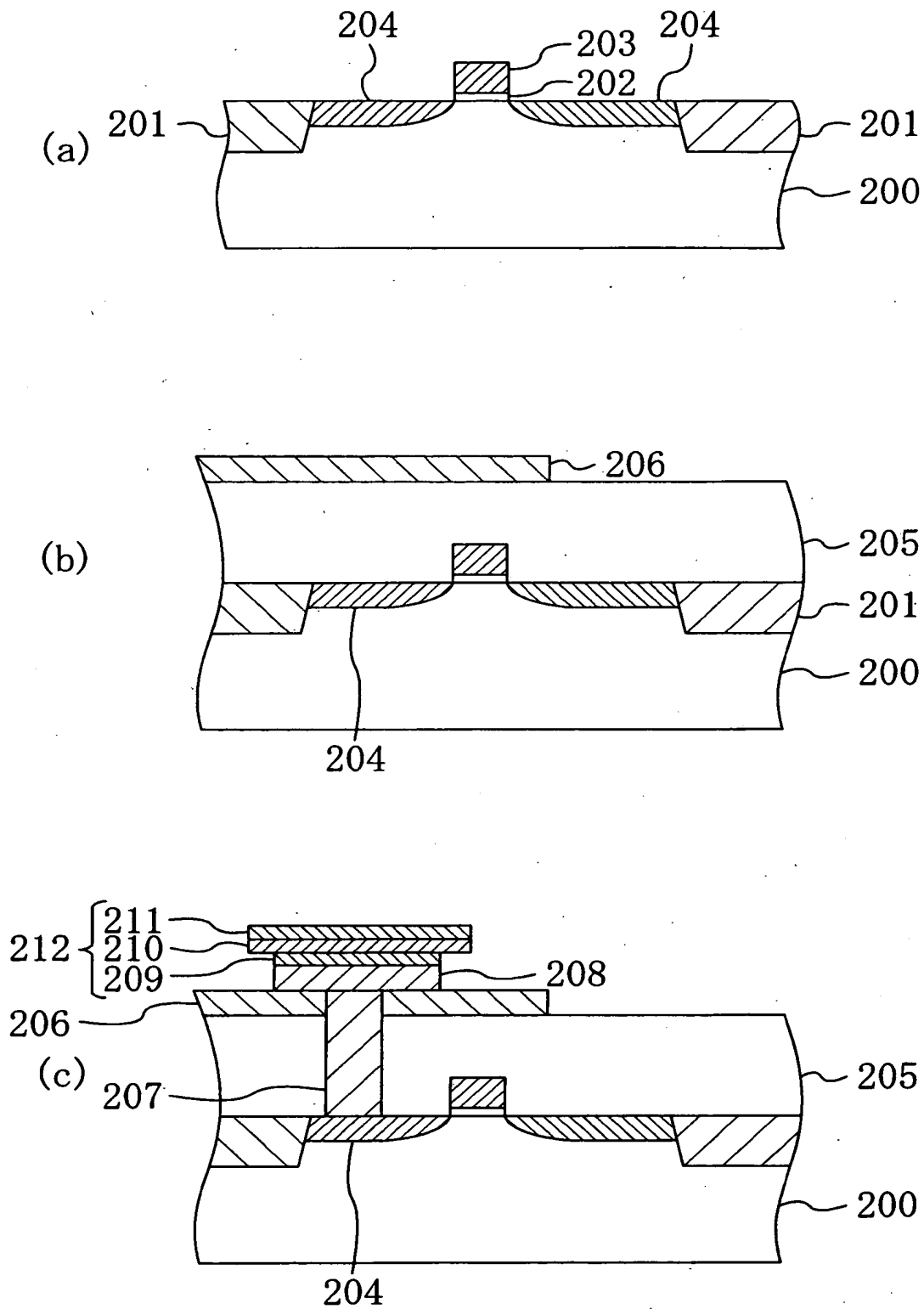
【図19】



【図20】

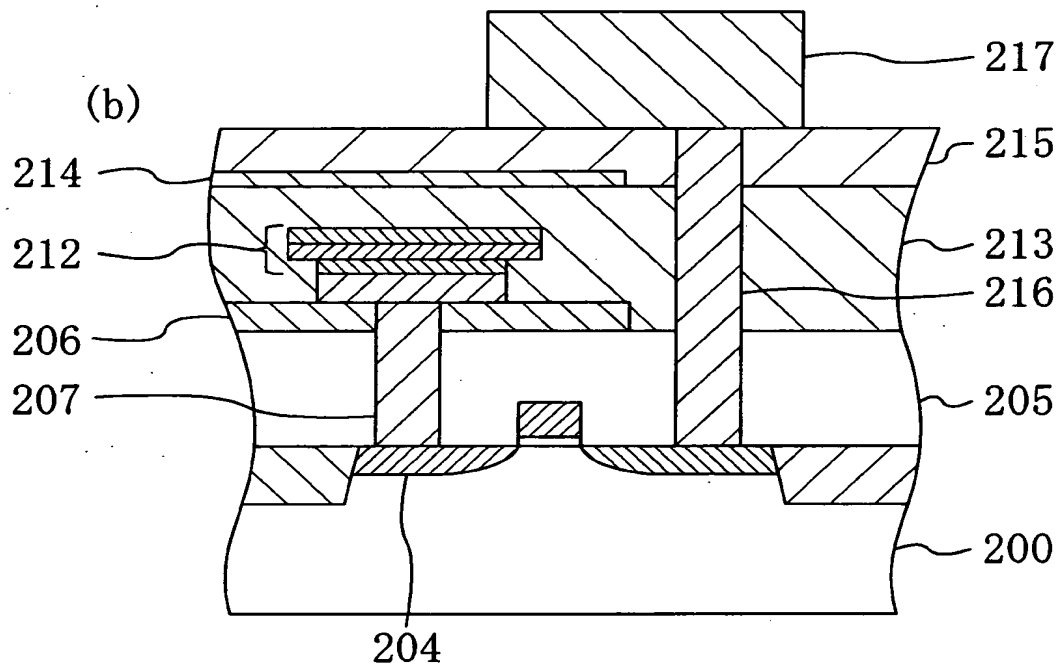
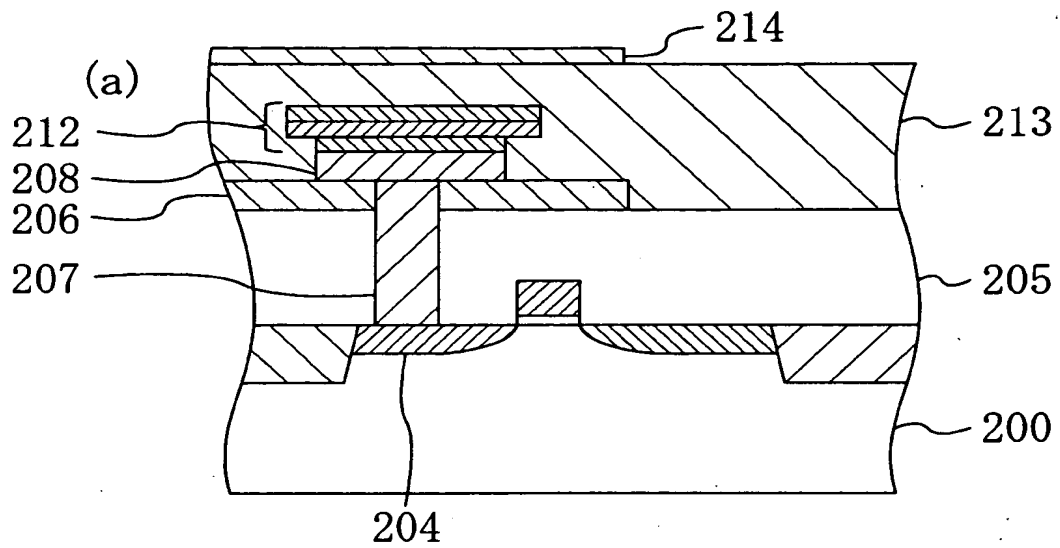


【図 2 1】





【図 2 2】



【書類名】            要約書

【要約】

【課題】    強誘電体又は高誘電体を用いた容量絶縁膜を有する半導体装置において、容量絶縁膜の水素による劣化を防止しながら、単位セルの面積を小さくすることができるようにする。

【解決手段】    半導体基板 1 0 に形成されたセル選択用のトランジスタと、各トランジスタのソース拡散層 1 4 B と接続され、それぞれが強誘電体からなる容量絶縁膜 2 5 を有する複数のキャパシタ 2 7 を含むキャパシタ列と、キャパシタ列よりも下方に形成されたビット線 1 7 とを備えている。キャパシタ列は上下を含めその周囲を水素バリア膜により覆われており、該水素バリア膜は、トランジスタとキャパシタ 2 7 の間に形成された導電性下部水素バリア膜 2 1 と、ビット線 1 7 及びキャパシタ列の間に形成された絶縁性下部水素バリア膜 1 9 と、キャパシタ列の上側に形成された上部水素バリア膜 2 9 とから構成されている。

【選択図】            図 1

出 願 人 履 歴 情 報

識別番号 [000005821]

1. 変更年月日 1990年 8月28日  
[変更理由] 新規登録  
住 所 大阪府門真市大字門真1006番地  
氏 名 松下電器産業株式会社